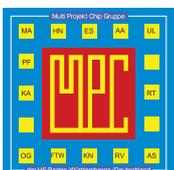


MPC

MULTI PROJEKT CHIP GRUPPE
BADEN - WÜRTTEMBERG

Herausgeber: Hochschule Ulm Ausgabe: 48 ISSN 1868-9221 Workshop: Aalen Juli 2012

- 1 Processor Solutions for Smart Mobility**
J. Becker, O. Sander, C. Roth, Karlsruhe Institute of Technology (KIT)
- 9 Entwicklung einer CMOS Pixelzelle zur Charakterisierung von Peptid-basierten Fotodioden**
D. Seiz, H. Richter, IMS Chips Stuttgart
- 17 Gate Driver Design for Fast Switching DC-DC Converters**
J. Wittmann, T. Funk, B. Wicht, HS Reutlingen
- 25 Realization of an RFID Front End IC for ISO 15693 Standard in UMC CMOS 0.18 μm Technology**
M. Bhattacharyya, T. Volk, A. Kreker, B. Dusch, D. Jansen, HS Offenburg
- 33 Hardware-Entwurf einer flexiblen Fehlerkorrekturereinheit für Flashspeicher**
J. Spinner, J. Freudenberger, HTWG Konstanz
- 41 Measurement Unit for Energy Efficient M2M Mobile Communication**
M. Klemm, A. Sikora, HS Offenburg
- 47 Soft-Core-Prozessor mit Multithreading für DSP-Anwendungen**
C. Kielmann, I. Schoppa, HTWG Konstanz
- 53 TCL-Skript basiertes Backend Design mit Cadence Encounter**
S. Thiel, H.-P. Bürkle, HS Aalen
- 57 Parametrisierte Layout-Module im analogen IC-Entwurf**
S. Gohm, D. Marolt, J. Scheible, HS Reutlingen



Cooperating Organisation
Solid-State Circuit Society Chapter
IEEE German Section

Tagungsband zum Workshop der Multiprojekt-Chip-Gruppe Baden-Württemberg
Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie.

Die Inhalte der einzelnen Beiträge dieses Tagungsbandes liegen in der Verantwortung der jeweiligen Autoren.

Herausgeber: Gerhard Forster, Hochschule Ulm, Prittwitzstraße 10, D-89075 Ulm

Alle Rechte vorbehalten

Diesen Workshopband und alle bisherigen Bände finden Sie im Internet unter:

<http://www.mpc.belwue.de>

Parametrisierte Layout-Module im analogen IC-Entwurf

Simon Gohm, Daniel Marolt, Jürgen Scheible

Zusammenfassung—Ein praktikables Mittel zur Erhöhung des Automatisierungsgrads im analogen IC-Entwurf ist die Verwendung parametrisierter Zellen. Diese sogenannten pCells werden eingesetzt, um determinierte Layouts automatisch zu erzeugen, und zwar in der Regel für einzelne Bauelemente wie Transistoren oder Dioden. Der vorliegende Beitrag zeigt die Potenziale eines erweiterten pCell-Konzepts, mit dem determinierte Layouts als auch Schaltpläne für ganze Schaltungsmodulare automatisch generiert werden können. Als Beispiel wird eine solche Modul-pCell für analoge Stromspiegel beschrieben, die nicht nur die Dimensionierung der Einzeltransistoren, sondern auch verschiedene Transistortypen, beliebige Spiegelverhältnisse und sogar mehrere Topologien sowie weitere Freiheitsgrade implementiert. Das dadurch erzielte Maß an Flexibilität erlaubt es, die zahlreichen schaltungstechnischen Varianten im Analogbereich abzudecken, die ansonsten oftmals Hürden für Automatisierungsansätze darstellen.

Schlüsselwörter—IC-Entwurf, Analog, Layout, Entwurfsautomatisierung, parametrisierte Zellen.

I. EINLEITUNG

In der Geschichte der Mikroelektronik hat sich bis heute die bereits 1965 von Gordon Moore geäußerte Einschätzung bestätigt, dass die Transistorbelegung eines integrierten Schaltkreises exponentiell wächst. So stieg im Durchschnitt der letzten Jahre die Anzahl der fertigmachen Transistoren pro Chip jährlich um etwa 58%, wobei im Gegensatz dazu die Entwurfsproduktivität eines Schaltungsentwicklers, gemessen in der Anzahl umgesetzter Transistoren, lediglich um 21% wächst [1]. Diese Steigerung, die im Wesentlichen der Entwurfsautomatisierung zu verdanken ist, liegt somit weit unter den Möglichkeiten der Fertigungstechnik. Die daraus resultierende Kluft zwischen potenzieller Entwurfskomplexität und tatsächlicher Entwurfsproduktivität wird als Entwurfsschere bezeichnet.

Die Entwurfsproduktivität im Analogbereich ist heute deutlich geringer als bei digitalen Schaltungen. Während im Digitalbereich viele Entwurfsschritte

Simon Gohm, Simon.Gohm@Student.Reutlingen-University.de,
 Daniel Marolt, Daniel.Marolt@Reutlingen-University.de,
 und Jürgen Scheible, Juergen.Scheible@Reutlingen-University.de,
 sind Mitglieder des Robert Bosch Zentrums für Leistungselektronik,
 Hochschule Reutlingen, Alteburgstraße 150, 72762 Reutlingen

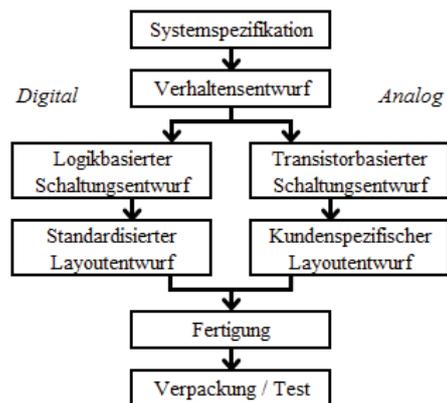


Abbildung 1: Entwurfsprozess eines integrierten Schaltkreises. Diese vereinfachte Darstellung unterscheidet in Bezug auf den Schaltungs- und Layoutentwurf zwischen digital und analog.

durch Synthesealgorithmen weitgehend automatisiert worden sind, ließen sich derartige top-down-gerichtete Methoden bisher nicht erfolgreich auf den Analogentwurf übertragen, sondern scheitern in der Praxis meistens an den komplexen funktionalen Randbedingungen, die typischerweise von analogen Schaltungen ausgehen. Daher ist der Analogentwurf auch heute noch vorwiegend manuell geprägt, wobei insbesondere die Erzeugung des physikalischen Layouts von allen Entwurfsschritten am wenigsten durch kommerziell verfügbare Werkzeuge unterstützt wird [2].

Der vorliegende Beitrag präsentiert einen praxisnahen Ansatz, den Automatisierungsgrad im analogen IC-Entwurf durch parametrisierte Zellen zu erhöhen. Diese sogenannten pCells dienen dazu, determinierte (das heißt „vorgedachte“) Layouts automatisch zu generieren, und zwar meist für elementare Bauelemente wie Transistoren oder Dioden. Der hier vorgestellte Ansatz zeigt, wie mit parametrisierten Zellen ganze Layout- als auch Schaltplan-Module generiert werden können, die wiederum andere pCells enthalten. Dabei wird die pragmatische Philosophie verfolgt, durch schrittweise Automatisierungen den Entwurfsfluss bottom-up zu optimieren und das Expertenwissen des Schaltungsentwicklers durch interaktive Bedienung umfassend in den Automatismus einzubeziehen.

Dieser Beitrag ist wie folgt strukturiert: Kapitel II gibt einen Überblick bisheriger Ansätze zur Entwurfsautomatisierung im Vergleich zwischen digital und analog. Kapitel III beschreibt die Idee, parametrisierte Zellen auf Modulebene einzusetzen und Kapitel IV zeigt als Beispiel die Implementierung einer Stromspiegel-pCell für den Schaltungs- und Layoutentwurf. Kapitel V zieht ein abschließendes Fazit.

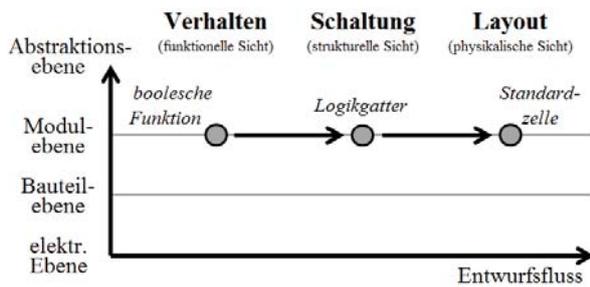


Abbildung 2: Hierarchische Kontinuität im digitalen Entwurfsfluss. Funktionsblöcke (zum Beispiel boolesche Verknüpfungen) werden durchgehend auf Modulebene (mindestens Gatterebene) realisiert.

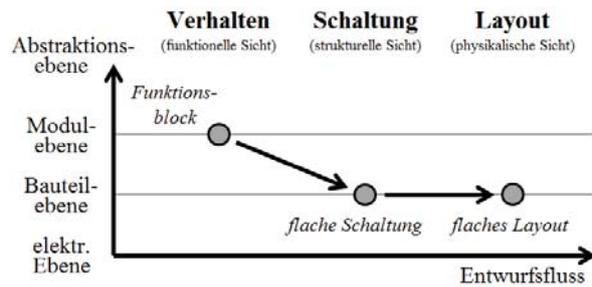


Abbildung 3: Hierarchiebruch im analogen Entwurfsfluss. Funktionsblöcke werden in Schaltung und Layout meistens auf Bauteilebene (Transistorebene) umgesetzt.

II. AUTOMATISIERUNGSANSÄTZE IM IC-ENTWURF

Die zunehmende Komplexität integrierter Schaltungen wäre ohne rechnergestützte Entwurfswerkzeuge mittlerweile nicht mehr beherrschbar und die elektronische Entwurfsautomatisierung (*Electronic Design Automation, EDA*) gilt heutzutage als Schlüsseltechnologie für Industrie, Wirtschaft und Gesellschaft [3]. Ein wesentlicher Fokus von EDA-Entwicklungen in jüngster Zeit lag auf der engeren Verknüpfung von Entwurfsschritten mit dem Ziel, die Durchgängigkeit des Entwurfsflusses zu verbessern. Der Entstehungsprozess einer integrierten Schaltung ist in Abbildung 1 vereinfacht dargestellt. Diesbezüglich soll im Folgenden, besonders in Bezug auf den Schaltungs- und Layoutentwurf, zwischen digital und analog unterschieden werden.

Der Digitalentwurf lebt von der Idee, eine Entwurfsbeschreibung von ihrer physikalischen Implementierung zu trennen. Durch diese Abstraktion ist es möglich, aus einer gegebenen Systemspezifikation automatisch ein entsprechendes IC-Layout zu generieren. Diese top-down-Synthese wird auch als *Silicon Compilation* bezeichnet. Zur Lösung des NP-harten [4] Layoutproblems werden heuristische Algorithmen eingesetzt, welche die einzelnen Layoutschritte wie Platzierung und Verdrahtung in der Regel sukzessive vornehmen. Außerdem werden zur Reduzierung der Komplexität künstliche entwurfsmethodische Randbedingungen eingeführt, so dass ein Algorithmus beispielsweise auf vorgefertigte Layoutelemente mit fester Struktur zurückgreift, die als Standardzellen in einer Bibliothek verfügbar sind. Diese Maßnahmen beeinträchtigen zwar die Optimalität des Entwurfs, können aber dank der diskreten Natur digitaler Signale noch toleriert werden.

Vergleichbare Ansätze, Syntheseverfahren auch im Analogbereich umzusetzen, konnten sich trotz jüngster Fortschritte bislang nicht in der Praxis etablieren. Für den Digitalentwurf ist die Beherrschung steigender Transistorzahlen die maßgebliche Herausforderung, die sich aus dem Ziel der anhaltenden Miniaturisierung (auch "More Moore" genannt) ergibt. Im Analogen wird dieses Problem nochmals entscheidend verschärft durch den Wunsch, das funktionelle Spek-

trum von Halbleiterprodukten zu erhöhen ("More than Moore"). Analoge Schaltungsteile bilden meist die Schnittstelle eines ICs zu seiner realen Außenwelt und umfassen immer vielfältigere Sensoren und Aktoren wie optoelektronische Komponenten und mikromechanische Systeme. Als solche müssen sie mit hohen Spannungen, kontinuierlichen Signalwerten, verschiedenartigen physikalischen Größen, wechselseitigen Störeinflüssen und parasitären Effekten umgehen. Diese Anforderungen und die daraus resultierenden funktionalen Randbedingungen verlangen im analogen Layout die Ausnutzung einer größeren Vielfalt an Freiheitsgraden. Dies kann momentan nur durch manuellen kundenspezifischen Entwurf erzielt werden, da Heuristiken und entwurfsmethodische Standardisierungen zu inakzeptablen Einbußen der Layoutqualität führen würden. Beispielsweise lassen sich analoge Schaltungsteile nicht auf Standardzellen reduzieren, sondern sind charakterisiert durch die häufig auftretende Notwendigkeit schaltungstechnischer Abwandlungen. Automatisierungsansätze müssen diese Variabilität unbedingt abdecken, um sich in der praktischen Anwendung behaupten zu können.

A. Parametrisierte Zellen (pCells)

Layoutdaten sind in ihrer grundlegenden Form konkrete grafische Daten. Sie bestehen aus geometrischen Primitiven, die in Layoutzellen zusammengefasst werden können. Vor allem früher wurden elementare Bauteile wie Transistoren oder Widerstände als derartige Layoutzellen mit fixer Grafik bereitgestellt. Um andere schaltungsspezifische Geometrien zu erhalten, mussten die Grafikdaten vom Layoutentwickler in Handarbeit angepasst werden. Mittlerweile erfolgt diese Dimensionierung überwiegend automatisch mit Hilfe parametrisierter Zellen. Solche pCells enthalten im Gegensatz zu fixen Zellen keine Grafikdaten, sondern bestehen aus Code, der anhand von benutzerdefinierten Parameterwerten entsprechende Layouts erzeugt. Diese Form der Automatisierung ist im Gegensatz zu Synthesalgorithmen keine eigenintelligente Lösungsstrategie, sondern vielmehr ein Ablaufskript, das stets eine vom pCell-Entwickler vorab bestimmte Lösung aus einem definierten Parameterraum liefert.

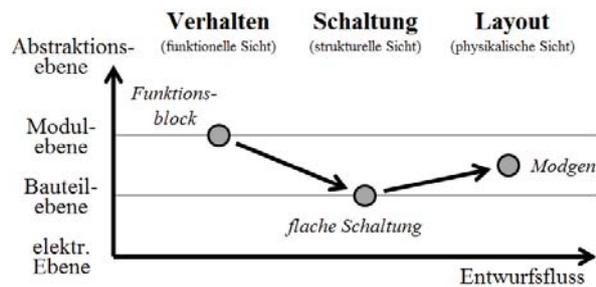


Abbildung 4: Modgen-Konzept im analogen Entwurfsfluss. Durch eine Schaltungsstrukturerkennung wird der Hierarchiebruch im Layout bedingt korrigiert.

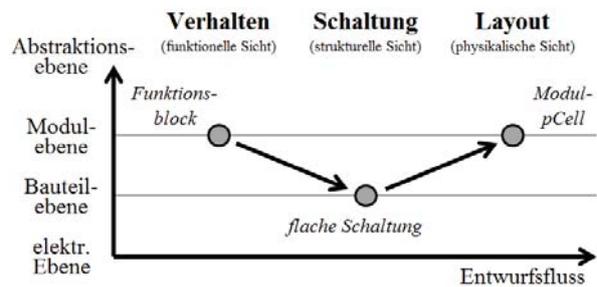


Abbildung 5: Analoger Entwurfsfluss mit flacher Schaltung und Layout-Modul-pCell. Durch eine Schaltungsstrukturerkennung wird der Hierarchiebruch im Layout vollständig korrigiert.

B. Hierarchische Schaltungs- und Layout-Module

Im Entwurf kann man zwischen verschiedenen Abstraktionsebenen unterscheiden. Ein bemerkenswertes Merkmal des Digitalentwurfs ist, dass sich der kreative Teil des Entwurfsprozesses ausnahmslos oberhalb der Abstraktionsebene der Transistoren (Bauteilebene) bewegt, denn die grundlegenden atomaren Bauelemente sind hier nicht Transistoren, sondern Module. Abbildung 2 zeigt beispielhaft, dass dies für alle drei Sichten des bekannten Y-Modells [5] gilt: funktionelle Sicht (Verhalten), strukturelle Sicht (Schaltung) und physikalische Sicht (Layout). Für die funktionelle Sicht wird das Verhalten eines Entwurfs mit Hardwarebeschreibungssprachen ausgedrückt. Die Verhaltensbeschreibung bewegt sich dabei mindestens auf der Gatterebene, die zugleich die niedrigste Modulebene darstellt; oder sie findet auf darüber liegenden Abstraktionsebenen statt, beispielsweise der Registertransferebene. Demgemäß stehen für die elektrische Schaltung (strukturelle Sicht) digitale Bausteine wie logische Gatter oder Speicherblöcke zur Verfügung. Im physikalischen Layout werden für diese Komponenten entsprechende Standardzellen eingesetzt.

Im analogen Entwurfsfluss hält sich eine derartige Kontinuität der Abstraktion nicht (siehe Abbildung 3). Zwar bewegt sich die funktionelle Sicht auch hier vornehmlich auf Modulebene, da ein Entwickler bei der Systemspezifikation meistens in Funktionsblöcken wie Wandlern und Filtern "denkt". Diese Hierarchie wird aufgrund der topologischen Variabilität in der strukturellen Sicht jedoch fast immer aufgelöst und die Funktionsblöcke werden dabei in der Schaltung auf Transistorebene individuell erstellt. Ebenso werden daraufhin auch im Layout üblicherweise keine Module, sondern Einzelbauelemente verwendet.

Im Allgemeinen bringt das Verlassen einer Abstraktionsebene wie in Abbildung 3 mehrere Nachteile mit sich. Zum einen steigt dabei meist der Entwurfsaufwand für Schaltung und Layout, andererseits wird durch entstehende Diskontinuitäten oftmals ein flüssiger Entwurfsprozess verhindert. Vor allem jedoch birgt dieser Bruch in der Hierarchie einen Informationsverlust: die Existenz eines Schaltungsteils als geschlossenes Modul vermittelt dessen Zweck und damit einhergehend auch eventuelle elektrische und geomet-

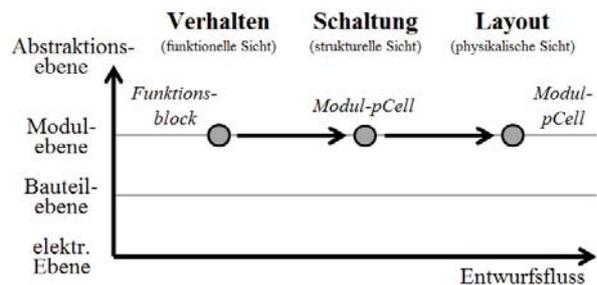


Abbildung 6: Analoger Entwurfsfluss mit Modul-pCells für Schaltung und Layout. Dadurch bleibt ein Funktionsblock ohne Hierarchiebruch durchgehend auf Modulebene erhalten.

rische Randbedingungen für Schaltung und Layout, deren Einhaltung für das korrekte Verhalten des Moduls notwendig ist. Verlässt man eine Modulebene, dann ist die Information über die Funktion des Moduls nur noch implizit in dessen Schaltungstopologie gegeben und wird in der Praxis -wenn überhaupt- meist durch textuelle Kommentare oder verbale Kommunikation ausgetauscht.

Das Modgen-Konzept [6] ist ein Ansatz, den oben beschriebenen Informationsverlust zu revidieren. Abbildung 4 zeigt die resultierenden Abstraktionsniveaus bezogen auf einen spezifischen Funktionsblock, wie beispielsweise einen Differenzverstärker. Dieser wird zwar in der Schaltung auf Transistorebene erstellt, dann aber durch eine Schaltungsstrukturerkennung als funktionelle Einheit detektiert. Auch im Layout besteht die Teilschaltung aus einzelnen Bauelementen, allerdings können diese in der heutigen Entwicklungsumgebung als zusammengehörige Gruppe behandelt werden. Die für das Layout wichtigen funktionalen Randbedingungen können teilweise automatisch deduziert und von verfügbaren Platzierungswerkzeugen berücksichtigt werden. Ähnliche Konzepte, die eine Schaltungsstrukturerkennung auf eine flache Topologie anwenden, werden in [7] und [8] beschrieben.

III. PARAMETRISIERTE ZELLEN AUF MODULEBENE

Wie bereits erwähnt, stammen parametrisierte Zellen ursprünglich aus dem Layoutentwurf und dienen dazu, die Geometrien für einzelne Bauelemente automatisch

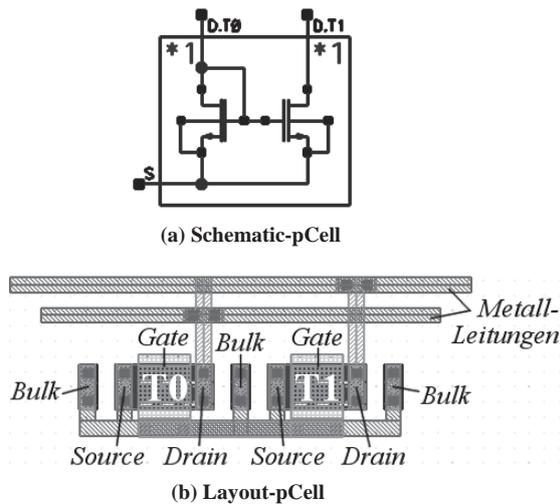


Abbildung 7: Stromspiegel-pCells in Standardkonfiguration jeweils mit NMOS-Transistoren, 1 Ausgang und Spiegelverhältnis 1:1.

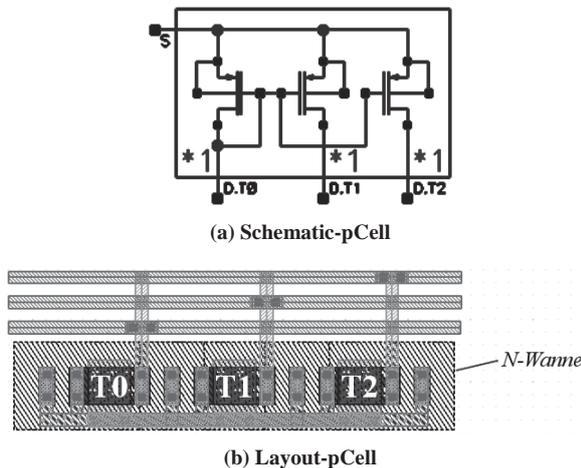


Abbildung 8: Stromspiegel-pCell-Varianten, jeweils mit PMOS-Transistoren, 2 Ausgängen und Spiegelverhältnis 1:1:1.

zu erzeugen. Dieses Kapitel beschreibt, wie solche pCells über ihren grundlegenden Zweck hinaus verwendet werden können, um im analogen Entwurfsprozess die Handhabung von Funktionsblöcken konsequent auf derselben Abstraktionsebene zu halten. Dazu werden mit parametrisierten Zellen komplexe Module realisiert: zunächst für das Layout, anschließend auch für den Schaltungsentwurf.

In [9] wurde ein Ansatz präsentiert, bei dem Modul-pCells im Layout eingesetzt werden, jedoch nicht im Schaltungsentwurf. Dabei deckt die Parametrisierbarkeit der Module die schaltungstechnischen Varianzen ab, die im Analogbereich notwendig sind. Zur Einbindung der pCells in den Entwurfsfluss wird wie beim Modgen-Konzept eine Schaltungsstrukturerkennung durchgeführt, um den Hierarchiebruch zwischen Funktions- und Schaltungssicht für das Layout wieder zu korrigieren (Abbildung 5).

Parametrisierte Zellen können nicht nur für das Layout, sondern als sogenannte Schematic-pCells auch für den Schaltungsentwurf entwickelt werden, wengleich

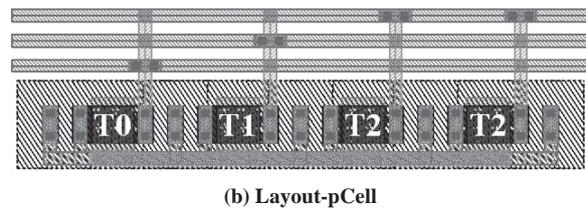
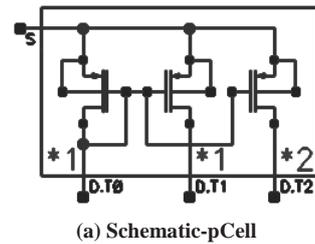


Abbildung 9: Stromspiegel-pCell-Varianten, jeweils mit PMOS-Transistoren, 2 Ausgängen und Spiegelverhältnis 1:1:2.

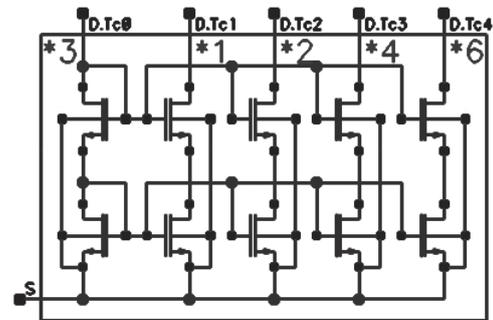


Abbildung 10: Schematic Stromspiegel-pCell-Variante in Kaskode-Topologie mit NMOS-Transistoren, 4 Ausgängen und einem Spiegelverhältnis von 3:1:2:4:6.

dieser Verwendungszweck in bisherigen Ansätzen wie beispielsweise [10] nur begrenzt verfolgt worden ist. Zwar ist die Verwendung hierarchisch aufgebauter Schaltungen gängige Praxis, beschränkt sich bislang aber fast ausschließlich auf fixe Module. Dabei muss jede einzelne topologische Abwandlung als eigenes Modul realisiert werden, was letztlich in einer nicht handhabbaren Variantenexplosion resultiert. Ein entsprechend parametrisiertes Schaltplan-Modul behebt dieses Problem und kann in Kombination mit einer korrespondierenden Layout-Modul-pCell ein konsequentes Abstraktionsniveau im Entwurfsverlauf aufrechterhalten, wie in Abbildung 6 dargestellt ist.

IV. BEISPIEL EINES PARAMETRISIERTEN STROMSPIEGEL-MODULS

Der im vorangegangenen Kapitel diskutierte Ansatz, im Schaltungs- als auch Layoutentwurf parametrisierte Zellen auf Modulebene umzusetzen, wird im Folgenden anhand eines Stromspiegel-Moduls demonstriert. Die nächsten drei Abschnitte beschreiben die Funktionsweise eines Stromspiegels und zeigen dessen Implementierung als Schematic- und Layout-pCell. Die hierbei berücksichtigten Parameter werden im letzten Abschnitt umfassend aufgelistet.

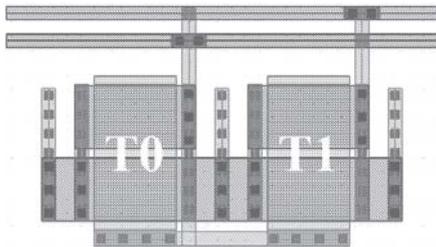


Abbildung 11: Layout Stromspiegel-pCell in Standardausführung wie in Abbildung 7, jedoch mit größeren Transistoren. Sowohl Kanallänge als auch Kanalbreite der Transistoren sind größer.

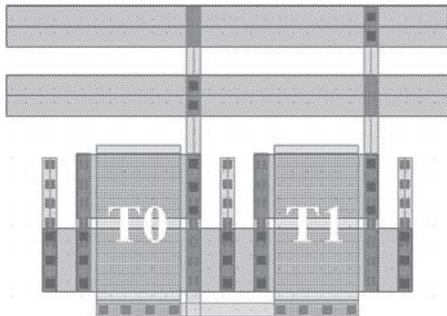


Abbildung 12: Layout Stromspiegel-pCell, identisch zur Variante in Abbildung 11, jedoch mit breiteren Metall-Leitungen und somit einer höheren Stromtragfähigkeit.

A. Verhalten eines Stromspiegels (Funktion)

Ein Stromspiegel ist eine Transistorschaltung, die praktisch in jeder analogen integrierten Schaltung eingesetzt wird. Sie dient dazu, einen gegebenen Referenzstrom ein- oder mehrmals zu reproduzieren. Dabei können über die Dimensionierung der Transistoren beliebige Spiegelverhältnisse erreicht werden.

Die hohe Genauigkeit, die in der Regel für einen Stromspiegel gefordert wird, bedingt, dass dessen Transistoren sich auf dem IC möglichst gleich verhalten und daher im Layout möglichst symmetrisch angeordnet werden müssen. Die Umsetzung dieser Anforderung nennt man *Matching* und wird im Wesentlichen erreicht durch Verwendung gleicher Grundelemente, die in relativer Nähe und gleicher Orientierung symmetrisch angeordnet werden.

Ein gängiges Mittel, um mehrere Transistoren zu *matchen*, besteht darin, diese im Layout aufzuteilen und miteinander zu verschachteln. Dazu werden die einzelnen Transistoren jeweils in Parallelschaltungen mehrerer Teiltransistoren aufgesplittet und im Layout gemäß einem Platzierungsmuster (beispielsweise notiert in der Form ABBA) angeordnet. Zugunsten eines guten Matchings werden sämtliche Teiltransistoren üblicherweise mit derselben Größe dimensioniert.

Wendet man dieses Prinzip auch auf Stromspiegel an, dann werden beliebige Spiegelverhältnisse nicht über die Größe der Teiltransistoren, sondern über ihre Anzahl erzielt. Die nachfolgenden Beispiele veranschaulichen das Prinzip des Verschachtelns.

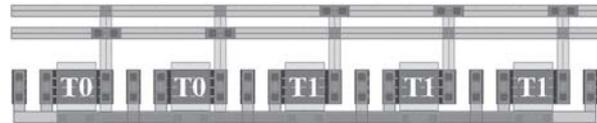


Abbildung 13: Layout Stromspiegel-pCell mit Spiegelverhältnis 2:3. Die Transistoren T0 und T1 sind aufgesplittet, aber nicht verschachtelt. Das AABBB-Muster erzielt kein gutes Matching.

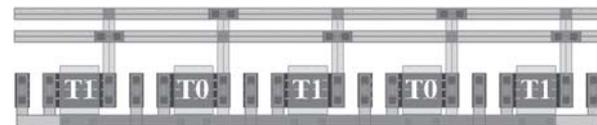


Abbildung 14: Layout Stromspiegel-pCell wie in Abbildung 13, jedoch sind die Transistoren nach dem Muster BABAB angeordnet. Ein solches Common Centroid liefert ein sehr präzises Matching.

B. Umsetzung der Schematic-pCell (Struktur)

Die Implementierung der Stromspiegel-pCell für den Schaltungsentwurf wurde bereits in [11] vorgeführt. Die pCell bietet als Freiheitsgrade mehrere Topologien, eine beliebige Anzahl an Ausgängen, verschiedene Transistortypen und einige weitere Parameter an.

Abbildung 7 (a) zeigt die pCell in ihrer Standardkonfiguration als simplen NMOS-Stromspiegel mit dem Eingang D.T0, einem einzigen Ausgang D.T1 und dem Spiegelverhältnis 1:1. In Abbildung 8 (a) ist die pCell mit PMOS-Transistoren und zwei Ausgängen dargestellt. Abbildung 9 (a) zeigt denselben Stromspiegel, jedoch mit einem 1:1:2 Spiegelverhältnis. In Abbildung 10 ist eine andere Variante der pCell in Kaskode-Topologie zu sehen.

Die Implementierung der hier beschriebenen Stromspiegel-pCell erreicht einen bisher nicht dokumentierten Komplexitätsgrad. Daher repräsentieren die aufgeführten Beispiele nur einen ausgewählten Bruchteil der praktisch unendlich großen Variantenvielfalt.

C. Umsetzung der Layout-pCell (Physik)

Eine Layout-pCell stellt im physikalischen Chip-Entwurf das Gegenstück zur korrespondierenden Schematic-pCell dar. Ihre Implementierung muss für jede Parameterkonstellation gewährleisten, dass die Layout-pCell erstens exakt mit der jeweiligen Schematic-pCell-Variante übereinstimmt und zweitens keine Layoutregeln verletzt, die in der zugrunde liegenden Halbleitertechnologie gelten. Zum Vergleich zeigen die Abbildungen 7 (b), 8 (b) und 9 (b) die Layout-pCells des Stromspiegels, die den oben erwähnten Varianten der Schematic-pCell entsprechen.

Die nächsten Beispiele illustrieren weitere pCell-Parameter, welche die Dimensionierung und layouttechnische Umsetzung des Stromspiegel-Moduls veranschaulichen. In Abbildung 11 ist die Layout-pCell in Standardausführung (vgl. Abbildung 7), jedoch mit größeren Transistoren dargestellt. Abbildung 12 zeigt dieselbe Variante mit breiteren Metall-Leitungen und somit einer höheren Stromtragfähigkeit.

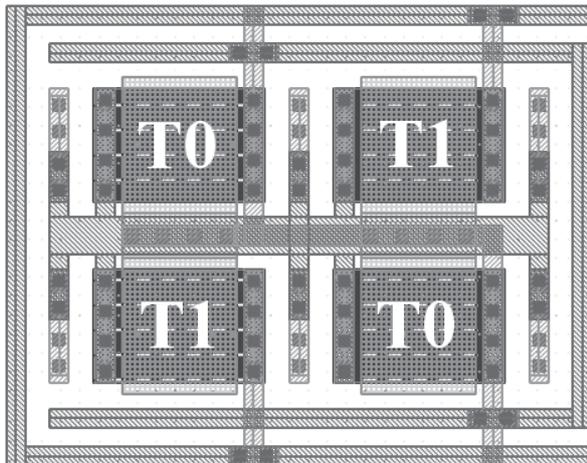


Abbildung 15: Layout Stromspiegel-pCell mit Spiegelverhältnis 1:1 gemäß zweireihigem AB/BA-Muster. Diese Verschachtelung erzielt ein präziseres Matching als eindimensionale Anordnungen.

Abbildung 13 und Abbildung 14 demonstrieren das Prinzip des Verschachtelns anhand eines Stromspiegels mit einem Ausgang. Der Transistor T0 ist in zwei Teiltransistoren, T1 in drei Teiltransistoren aufgesplittet, woraus sich ein Spiegelverhältnis von 2:3 ergibt. In Abbildung 13 sind die Teiltransistoren in einer AABBB-Anordnung ohne Verschachtelung zu sehen und erzielen kein gutes Matching. Per pCell-Parameter kann nun beispielsweise ein BABAB-Muster eingestellt werden, wie es in Abbildung 14 gezeigt ist. Eine derartige Anordnung wird aufgrund des gemeinsamen geometrischen Transistorschwerpunktes allgemein als *Common Centroid* bezeichnet und liefert ein sehr präzises Matching, weil sich Einflüsse linearer Gradienten dadurch vollständig aufheben [12].

Im Allgemeinen kann die Qualität des Matchings durch eine zweidimensionale Verschachtelung noch weiter erhöht werden. Diese Form der Platzierung wurde in der Implementierung der Layout-pCell ebenfalls umgesetzt, sodass bei der Einstellung des Platzierungsmusters durch den Anwender mehrere Reihen angegeben werden können. Abbildung 15 zeigt als Beispiel die häufig eingesetzte AB/BA-Anordnung, die auch als *Cross-Coupled Pair* bezeichnet wird. Je großflächiger eine solche Anordnung mit steigender Transistorgröße wird, desto anfälliger wird sie gegenüber Mismatching. Dieses kann umso besser kompensiert werden, je mehr man die Transistoren in horizontaler als auch vertikaler Richtung streut. Als Beispiel ist in Abbildung 16 ein ABBA/BAAB/ABBA/BAAB-Muster dargestellt. Die wesentliche Problematik derart komplexer Verschachtelungen liegt in der Schwierigkeit ihrer Verdrahtung, erfolgt hier jedoch automatisch durch die implementierte Layout-pCell.

D. Übersicht aller pCell-Parameter

Die nachfolgende Auflistung beschreibt alle Parameter, die gegenwärtig von der pCell unterstützt werden.

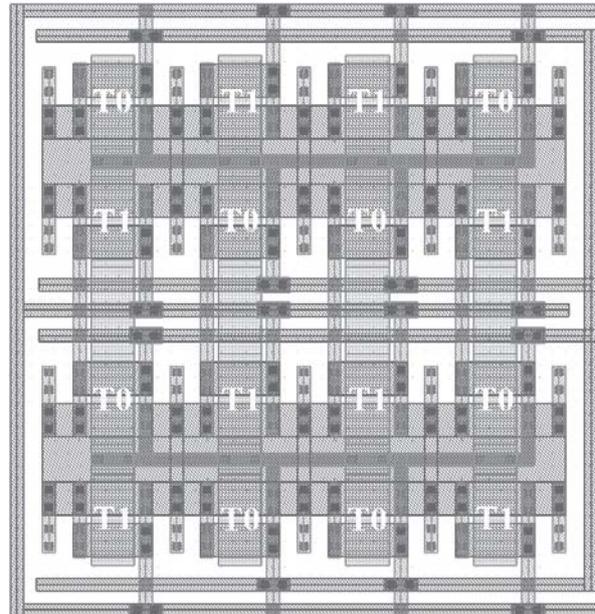


Abbildung 16: Layout Stromspiegel-pCell mit Spiegelverhältnis 1:1 und einem ABBA/BAAB/ABBA/BAAB-Muster. Eine solche Verteilung der Transistoren in horizontaler und vertikaler Richtung erzielt auch bei großflächigen Anordnungen ein präzises Matching.

Topologie:

Für die Schaltungstopologie der Stromspiegel-pCell stehen dem Anwender drei verschiedene Varianten zur Verfügung: Einfacher Stromspiegel, Kaskode-Stromspiegel und Wide-Swing-Kaskode-Stromspiegel.

Transistortyp:

Für die Transistoren des Stromspiegels kann der Anwender zwischen NMOS- und PMOS-Typen mit jeweils verschiedenen Spannungsfestigkeiten wählen. Bei einer Kaskode-Topologie kann für die Kaskodetransistoren eine andere Spannungsfestigkeit als für die Spiegeltransistoren vorgegeben werden.

Transistorgröße:

Zur Dimensionierung der Transistoren ist die Eingabe einer beliebigen Kanalweite und -länge möglich, sowie eine Aufteilung in mehrere sogenannte Gatefinger. Bei einer Kaskode-Topologie können die Kaskodetransistoren anders dimensioniert werden als die Spiegeltransistoren.

Anzahl der Ausgänge:

Darf 1 oder größer sein. Dieser Parameter ist mit den nachfolgend aufgeführten Parametern *Transistorfaktoren* und *Platzierungsmuster* verknüpft. Das bedeutet, die Änderung eines Parameterwertes kann die beiden anderen Werte beeinflussen.

Transistorfaktoren:

Wird als Liste natürlicher Zahlen eingegeben und legt individuell fest, wie viele Teiltransistoren für den Eingang und pro Ausgang eingesetzt werden, um ein gewünschtes Spiegelverhältnis zu erzielen und Verschachtelungen zu ermöglichen.

Platzierungsmuster:

Definiert die Anordnung der Teiltransistoren im Layout. Der Anwender ist hierbei nicht auf vordefinierte Platzierungsmuster beschränkt, sondern kann mit der ABBA/BAAB-Notation beliebige mehrreihige Verschachtelungen erreichen.

Verdrahtung Source/Drain:

Bestimmt eine Verdrahtungsvariante (z.B. über oder neben dem aktiven Gebiet) und die entsprechende Verdrahtungsebene (Metall1/Metall2).

Bulk-Source verbinden:

Legt fest, ob die Substrat-Anschlüsse (Bulks) der Transistoren mit dem gemeinsamen Source-Netz kurzgeschlossen werden sollen. Ansonsten werden die Bulks nur untereinander verbunden.

Leiterbahnbreite und -abstand:

Sind standardmäßig auf den durch die Halbleitertechnologie vorgegebenen Minimalwert gesetzt, können aber für Source und Drain individuell vergrößert werden, um höhere Ströme zu führen.

V. FAZIT

Dieser Beitrag diskutiert den Ansatz, parametrisierte Zellen im analogen IC-Entwurf auf ganze Schaltplan- und Layout-Module anzuwenden. Modul-pCells erlauben es, Funktionsblöcke während des Entwurfsverlaufs konsequent oberhalb der Bauteilebene zu handhaben, wodurch der Entwurfsaufwand erheblich reduziert und die Berücksichtigung funktionaler Randbedingungen gewährleistet oder erleichtert wird.

Die zahlreichen schaltungstechnischen Varianzen, die im Analogen häufig Hürden für Automatisierungsansätze sind, können durch die Parametrisierbarkeit abgedeckt werden. Als Beispiel wird die Implementierung einer Schematic- und Layout-pCell für Stromspiegel präsentiert, die mehrere Topologien, verschiedene Transistortypen, beliebige Spiegelverhältnisse und weitere Freiheitsgrade berücksichtigt.

Im Gegensatz zu top-down gerichteten Synthesearchitekturen, die sich im Analogbereich bislang nicht behaupten konnten, stellen Modul-pCells einen pragmatischen Ansatz dar, den Automatisierungsgrad im IC-Entwurfsprozess bottom-up zu erhöhen. Der Automatismus beschränkt sich dabei auf rein deterministische Schritte und ermöglicht dem Benutzer überall dort, wo es auf erfahrungsgestütztes Expertenwissen ankommt, interaktive Einflussnahme. Dieser Grundsatz bildet eine wichtige Voraussetzung, damit das Modul-pCell-Konzept in der Praxis weiter an Akzeptanz gewinnen kann.

DANKSAGUNG

Diese Arbeit wurde in Abstimmung mit der Robert Bosch GmbH durchgeführt, daher bedanken wir uns bei Christel Bürzele, Göran Jerke und Vinko Marolt für die fruchtbare Kooperation seitens der Firma.

LITERATURVERZEICHNIS

- [1] International Technology Roadmap for Semiconductors (ITRS): 1999, 2001, 2003 Editions.
- [2] H. Gräß (Hrsg.), "Analog Layout Synthesis: A Survey of Topological Approaches", Springer, New York, 2011.
- [3] T. Meister, "Pinzuordnungs-Algorithmen zur Optimierung der Verdrahtbarkeit beim hierarchischen Layoutentwurf", Dissertation, VDI Verlag, Düsseldorf, 2012.
- [4] J. Lienig, "Layoutsynthese elektronischer Schaltungen", Springer Verlag, Berlin Heidelberg, 2006.
- [5] D. Gajski, R. Kuhn, "Guest Editor's Introduction: New VLSI Tools", IEEE Computer, Dec. 1983.
- [6] Cadence, "Virtuoso Unified Custom Constraints User Guide", Cadence Design Systems Inc., San Jose, 2011.
- [7] V. Meyer zu Bexten, "User-Controlled Layout Synthesis for Analog Integrated Circuits", Dissertation, Shaker Verlag, Universität Dortmund, 1994.
- [8] H. Gräß, S. Zizala, J. Eckmüller and K. Antreich, "The Sizing Rules Method for Analog Integrated Circuit Design", IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp. 343–349, 2001.
- [9] D. Marolt, J. Scheible, G. Jerke, "The Application of Layout Module Generators upon Circuit Structure Recognition", Proceedings of CDNLive! EMEA, München, Mai 2011.
- [10] P. Bhushan, R. Mitra, "Schematic pCell Implementation in Virtuoso Platform", Proceedings of International Cadence Users Group Conference, Santa Clara, 2004.
- [11] D. Marolt, J. Scheible, "Parameterized Cells in Analog IC Design - Example of a Schematic/Symbol Current Mirror pCell", University Booth at Design Automation and Test in Europe Conference, Dresden, März 2012.
- [12] A. Hastings, "The Art of Analog Layout – Second Edition", Pearson Prentice Hall, New Jersey, 2006.



Simon Gohm erhielt den akademischen Grad des B. Eng. in Elektro- und Informationstechnik im Jahr 2010 von der Hochschule Ravensburg-Weingarten. Derzeit absolviert er ein Masterstudium der Leistungs- und Mikroelektronik am Robert Bosch Zentrum für Leistungselektronik in Reutlingen. In seiner Masterarbeit beschäftigt er sich derzeit mit der Entwicklung parametrisierter Layout-Module im analogen IC-Entwurf.



Daniel Marolt studierte Mechatronik an der Hochschule Reutlingen und erhielt dort im Jahre 2008 den akademischen Grad B. Eng. und 2009 den Abschluss M. Sc. Seit 2010 ist er als wissenschaftlicher Mitarbeiter an der Hochschule Reutlingen tätig, wo er 2011 am Robert Bosch Zentrum für Leistungselektronik Aufgaben in Forschung und Lehre übernahm und nun in Kooperation mit der Robert Bosch GmbH an EDA-Projekten arbeitet.



Jürgen Scheible studierte Elektrotechnik an der TH Karlsruhe, wo er im Jahre 1991 auf dem Gebiet der EDA zum Dr.-Ing. promovierte. Anschließend war er bei der Robert Bosch GmbH im Geschäftsbereich Automotive Electronics tätig, zuletzt als Leiter der Entwicklungsabteilung ASIC Layout Design. Seit 2010 ist er Professor für EDA am Robert Bosch Zentrum für Leistungselektronik der Hochschule Reutlingen. Seine Forschungsinteressen sind Constraint-Driven Design und Automatisierung des analogen IC-Entwurfs.