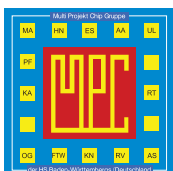


MPC

MULTI PROJEKT CHIP GRUPPE
BADEN - WÜRTTEMBERG

Herausgeber: Hochschule Ulm Ausgabe: 52 ISSN 1868-9221 Workshop: Künzelsau Juli 2014

- 1 Low Power Communication Electronics**
K. v. Arnim, Intel Mobile Communications GmbH, München
- 5 Electronic Displays: Technologies – Systems – Optimizations**
K.-H. Blankenbach, HS Pforzheim
- 11 A Millimeter-Wave Power Amplifier Concept in SiGe BiCMOS Technology for Investigating HBT Physical Limitations**
J. Wursthorn, H. Knapp, B. Wicht, HS Reutlingen
- 15 Substratkoppeln in schnell schaltenden integrierten Leistungsendstufen**
C. Rindfleisch, J. Wittmann, B. Wicht,
Robert Bosch Zentrum für Leistungselektronik, Reutlingen
- 21 Optimierte, wiederverwendbare OTA-Schaltungen für moderne Power BiCMOS-Technologien**
A. Gerlach, M. Junge, J. Scheible, T. Rosahl,
Robert Bosch Zentrum für Leistungselektronik, Reutlingen
- 27 Eine effiziente Dekodierarchitektur für verallgemeinert verkettete Codes**
J. Spinner, J. Freudenberger, HS Konstanz
- 33 Entwicklung einer innovativen Softwarearchitektur für Cloud-basierte Cyber-physische Systeme**
M. Engelsberger, T. Greiner, HS Pforzheim



Cooperating Organisation
Solid-State Circuit Society Chapter
IEEE German Section

Tagungsband zum Workshop der Multiprojekt-Chip-Gruppe Baden-Württemberg

Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie.

Die Inhalte der einzelnen Beiträge dieses Tagungsbandes liegen in der Verantwortung der jeweiligen Autoren.

Herausgeber:

Gerhard Forster, Hochschule Ulm, Prittwitzstraße 10, D-89075 Ulm

Mitherausgeber (Peer Reviewer):

Jürgen Giehl, Hochschule Mannheim, Paul-Wittsack-Straße 10, D-68163 Mannheim

Frank Kesel, Hochschule Pforzheim, Tiefenbronner Straße 65, D-75175 Pforzheim

Axel Sikora, Hochschule Offenburg, Badstraße 24, D-77652 Offenburg

Alle Rechte vorbehalten

Diesen Workshopband und alle bisherigen Bände finden Sie im Internet unter:

<http://www.mpc.belwue.de>

Substratkoppeln in schnell schaltenden integrierten Leistungsendstufen

Christoph Rindfleisch, Jürgen Wittmann, Bernhard Wicht

Zusammenfassung—Durch schnell schaltende Leistungsendstufen werden durch kapazitive Umladeströme Störungen ins Substrat und in empfindliche Schaltungselemente eingekoppelt, die dort zur Störung der Funktion führen können. In dieser Arbeit werden Substratstrukturen zur gezielten Ableitung dieser Störungen vorgestellt und ihre Wirksamkeit mit Hilfe von Device Simulation evaluiert. Ohne Ableitstrukturen kann eine Potentialanhebung des Substrats bis zu 20 V entstehen. Die Untersuchungen belegen, dass die Potentialanhebung durch p-Typ Guard-Ringe um 75 %, durch leitende Trenches um 88 % sowie durch Rückseitenmetallisierung um nahezu 100 % reduziert werden kann.

Schlüsselwörter—Substratkoppeln, Störeinkopplung, Leistungsendstufe, schnell schaltend, High-Side Transistor.

I. EINLEITUNG

Leistungsendstufen dienen der aktiven Steuerung des Energieflusses in vielfältigen Anwendungen wie der Motorsteuerung oder Spannungswandlung. In Schaltwandlern wird durch ein pulswidenmoduliertes (PWM) Ein- und Ausschalten eines Leistungstransistors und durch anschließendes Filtern beispielsweise eine niedrigere Ausgangsspannung erzeugt. Die Erhöhung der Schaltfrequenz erlaubt eine Verkleinerung des Filters und reduziert somit die Kosten eines Schaltwandlers. Abbildung 1 zeigt die Implementierung eines Abwärtsschaltwandlers, der Eingangsspannungen bis 40 V auf Ausgangsspannungen unter 5 V regelt und mit Schaltfrequenzen über 10 MHz arbeitet. Ein NMOS Leistungstransistor ist vor allem bei höheren Schaltfrequenzen gegenüber einem PMOS bevorzugt, da der benötigte Einschaltwiderstand mit weniger parasitären Kapazitäten realisiert werden kann und somit der Wirkungsgrad des Wandlers steigt.

Da sich das Referenzpotential HSGND (Source-Anschluss des NMOS Transistors) mit dem Schaltzustand

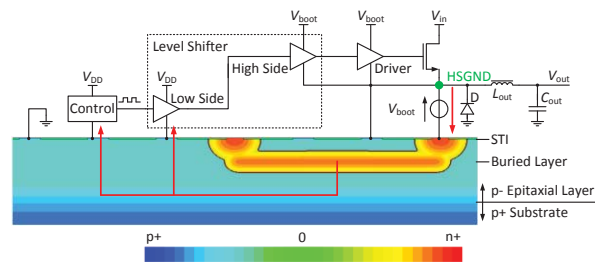


Abbildung 1: Schaltplan sowie Substratstruktur des untersuchten Abwärtsschaltwandlers.

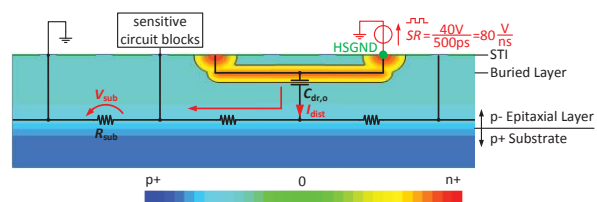


Abbildung 2: Substratstruktur mit parasitären Bauelementen und Koppelpfad.

des Transistors ändert, muss dieser durch einen Gate-treiber auf der High-Side zwischen HSGND bzw. $HSGND + 5\text{ V}$ (V_{boot}) angesteuert werden. Das PWM Signal, das durch eine Regelschaltung auf der Low-Side mit einer Versorgungsspannung von 5 V erzeugt wird, wird durch einen Levelshifter auf das Potential der High-Side übertragen.

Der in Abbildung 1 gezeigte Wandler wurde in einer 180nm BiCMOS-Technologie mit hoch dotierter p-Substratschicht und niedrigdotierter p-Epitaxieschicht implementiert. Um sowohl die High-Side, als auch die Low-Side Schaltungselemente, auf dem gleichen Substrat integrieren zu können, ist aufgrund deren unterschiedlicher Spannungsdomänen eine Isolation erforderlich. Die Raumladungszone einer n-dotierten Schicht wird als Isolationswanne eingesetzt. Diese besteht aus einer hoch dotierten vergrabenen Schicht (Buried Layer) unterhalb der High-Side-Schaltungselemente zur vertikalen Isolation und einem hoch dotierten tiefen n-Gebiet (Sink) zur lateralen Isolation.

Damit die Isolation in allen Betriebszuständen aufrechterhalten wird, muss sich das n-dotierte Gebiet der Wanne immer auf einem höheren Potential befinden als das p-dotierte Gebiet im Inneren und Äußeren der Wanne. Im Schaltungsdesign wird die Wanne daher

mit der Versorgungsspannung der High-Side-Schaltelemente (V_{boot}) verbunden. Da V_{boot} durch eine Bootstrap Schaltung immer auf 5 V über HSGND geladen wird, hat diese Verbindung zur Folge, dass sich das Potential V_{boot} der Wanne mit dem Schaltungszustand des High-Side-Transistors zwischen ~ 5 V und $V_{in} + 5$ V ändert, was eine Umladung der Raumladungszonenkapazität zwischen der Isolationswanne und dem Substrat ($C_{dr,o}$) zur Folge hat. Der daraus resultierende Störmechanismus ist in Abbildung 2 gezeigt. Die ins Substrat gelangten Umladeströme verbreiten sich als Substratströme (I_{dist}) über das Substrat und führen zu einem Spannungsabfall (V_{sub}) am Substratwiderstand (R_{sub}) und somit zu einem sich ändernden Substratpotential. Da das Substratpotential für die meisten Schaltelemente dem Referenzpotential der Low-Side entspricht, führt der Spannungsabfall zu einer Einkopplung in die Low-Side-Schaltelemente.

Das Ableiten des Störstroms erfolgt über die Massekontakte des Substrats und über Schaltelemente, die intern eine Masseverbindung aufweisen. Innerhalb der Schaltelemente kann es zu einer Überlagerung des eingekoppelten Stroms mit Signalströmen und so ebenfalls zu einer Funktionsstörung kommen.

Die Höhe des Umladestroms hängt einerseits von der Raumladungszonenkapazität $C_{dr,o}$ und dem Substratwiderstand R_{sub} ab, welche fest durch die gewählte Technologie und die realisierte Schaltung vorgegeben sind. Andererseits hat die Höhe des Spannungssprungs und dessen Anstiegsgeschwindigkeit an der High-Side-Isolationswanne, d.h. an HSGND und V_{boot} , maßgeblichen Einfluss. Je höher die Anstiegsgeschwindigkeit, umso höher sind die enthaltenen hochfrequenten Anteile und damit die Amplitude des Umladestroms I_{dist} .

Kleine Tastverhältnisse des PWM Signals bei hohen Umsetzverhältnissen von $V_{IN} > 40$ V auf $V_{OUT} < 5$ V erfordern bei Schaltfrequenzen über 10 MHz Anstiegs- und Abfallzeiten im Bereich von 500 ps am Schaltknoten (HSGND). Eine höhere Flankensteilheit wirkt sich außerdem vorteilhaft auf die Reduzierung der Schaltverluste aus. Somit kann die Amplitude der Substratströme kaum beeinflusst werden. Daher muss entweder die Immunität der gestörten Schaltelemente verbessert oder die Einkopplung der Störungen in diese Schaltelemente verringert werden. Nachfolgend werden Substratstrukturen zur gezielten Ableitung der Störungen aus dem Substrat vorgestellt und ihre Effektivität mittels Prozess- und Device-Simulationen evaluiert.

II. REDUKTION DES SUBSTRATKOPPELNS

Für die Evaluation der Effektivität verschiedener Ableitstrukturen mittels einer Prozess- und Device-Simulation wurde zunächst eine Isolationswanne („Well1“) sowie eine Störsenke („Sink1“) nach Abbildung 3a implementiert. Um die Simulationszeit klein zu halten, wurde aus Symmetriegründen nur die Hälfte einer Iso-

lationswanne mit einer Größe von $70 \mu\text{m} \times 70 \mu\text{m}$ simuliert, was etwa einem Fünftel der Größe einer Isolationswanne entspricht, die im untersuchten Abwärts-wandler für die Isolation aller High-Side-Schaltelemente eingesetzt wird. Da die Raumladungszonenkapazität und damit auch der Störstrom mit der Größe der Wanne skalieren, wird erwartet, dass auch die eingekoppelten Störungen dementsprechend skalieren.

Die Störsenke, bestehend aus einer großflächig hochdotierten p-Struktur zwischen zwei niederdotierten Substratkontakten, ist mit einem Abstand von $217 \mu\text{m}$ zum Mittelpunkt der Isolationswanne platziert und mit Masse verbunden. Während der durchgeführten Transientensimulation werden die Kontakte der Isolationswanne mit einem Rechteckpuls mit einer Amplitude von 40 V und einer Anstiegs- und Abfallzeit von 500 ps beaufschlagt.

A. Simulation ohne Ableit- und Isolationsstrukturen

Die Simulation der Dotierstruktur in Abbildung 3a ergab die in Abbildung 3b gezeigte Stromverteilung. Aufgrund des erheblich geringeren Widerstandes der Substratschicht gegenüber der Epitaxieschicht fließt der größte Teil des Substratstroms direkt in die Substratschicht, wo er sich über das gesamte Substrat verbreitet und somit jede auf dem Substrat befindliche Schaltung, unabhängig von ihrer Entfernung zur Isolationswanne, stören kann.

Aufgrund der Masseanbindung des Substrats an der Oberfläche der Epitaxieschicht müssen die eingekoppelten Störungen über die hochohmige Epitaxieschicht gegen Masse abfließen. Die Aufteilung der Ableitströme auf die einzelnen eingebrachten Masseanbindungen erfolgt gemäß dem Widerstand zwischen der Masseanbindung und der Substratschicht. Je geringer der Widerstand, umso mehr Strom fließt über die jeweilige Struktur. Bestätigt wird diese Überlegung durch die hohe Stromdichte unter der großflächig hochdotierten Struktur gegenüber den kleinflächigen niederdotierten Substratkontakten. Folglich lässt sich der Stromfluss über eine Struktur über ihre Fläche und ihren flächenspezifischen Widerstand beeinflussen. Um die Stromeinkopplung in Schaltelemente zu verringern ist es daher erforderlich, Ableitstrukturen mit einem geringen Widerstand zwischen Masse und der Substratschicht ins Substrat einzubringen. Nur so kann der relative Anteil des über Schaltelemente abfließenden Störstroms effektiv verringert werden. Damit die Kosten durch die zusätzlich benötigte Chipfläche klein gehalten werden, sollten darüber hinaus Strukturen mit einem niedrigen flächenspezifischen Widerstand verwendet werden.

Abbildung 3c zeigt, dass für die simulierte Wannengröße ein Spannungshub des Substratpotentials von bis zu 4 V zu erwarten ist. Hochskaliert auf die tatsächliche Wannengröße entspricht dieser einem Spannungshub von bis zu 20 V bei Spitzenströmen im Substrat von bis zu 130 mA. Der Betrag der Spannung wird dabei vom

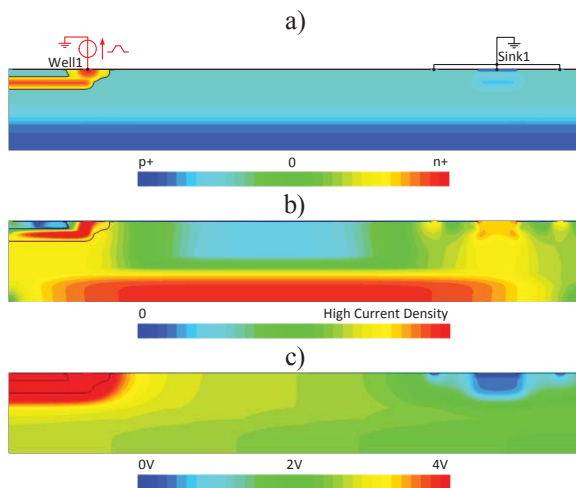


Abbildung 3: a) Dotierstruktur ohne Ableit- und Isolationsstrukturen; b) Simulierte Stromverteilung zum Zeitpunkt des größten Stromflusses während der steigenden Flanke; c) Resultierende Potentialverteilung im Substrat.

Widerstand zwischen der Substratschicht und der Masse bestimmt. Je geringer der Widerstand der eingebrachten Ableitstruktur, umso geringer auch der resultierende Spannungshub.

B. P-Typ Guard-Ringe und n-Typ Guard-Ringe

P-Typ Guard-Ringe [1] zur Ableitung der Störströme und n-Typ Guard-Ringe [1] zur Unterdrückung des lateralen Stromflusses wurden als eine der Optionen zur Reduktion der Störeinkopplung untersucht. Abbildung 4a zeigt die simulierte Dotierstruktur. Neben der Wanne und der Störsenke befinden sich zwei 17,5 μm breite p-Typ Guard-Ringe mit einer Entfernung von 56 μm („pGR1“) und 98 μm („pGR2“) zum Mittelpunkt der Isolationswanne. Weiterhin wurden zwei n-Typ Guard-Ringe mit einer Entfernung von 77 μm („nGR1“) und 119 μm („nGR2“) vom Mittelpunkt der Isolationswanne eingebracht.

P-Typ Guard-Ringe und n-Typ Guard-Ringe sind oft als Standardbauelemente in vielen Technologie verfügbar oder können durch die Verwendung aller p bzw. n-Strukturen einer Technologie erzeugt werden. Nachteilig ist, dass sie aufgrund von Ausdiffusionseffekten einen erhöhten zusätzlichen Flächenbedarf aufweisen.

Abbildung 4b zeigt die simulierte Stromverteilung im Substrat bei Verwendung von p-Typ und n-Typ Guard-Ringen. Verglichen mit der Stromverteilung der Simulation ohne Ableitstrukturen kann eine erhebliche Reduktion der Stromdichte unterhalb der Störsenke beobachtet werden. Simulationen ergaben eine Reduktion des in die Störsenke eingekoppelten Stroms um 64 %. Die Effektivität von p-Typ Guard-Ringen wird maßgeblich durch die zur Verfügung stehenden Dotierschichten bestimmt und ist somit abhängig von der genutzten Technologie. Da ein p-Typ Guard-Ring eine höhere Dotierung zwischen dem Massekontakt und der

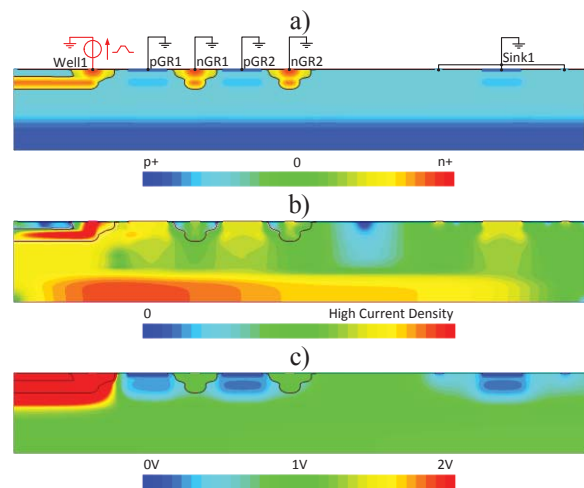


Abbildung 4: a) Zugrunde gelegte Dotierstruktur mit p-Typ Guard-Ringen und n-Typ Guard-Ringen; b) Simulierte Stromverteilung der Dotierstruktur aus a) zum Zeitpunkt des größten Stromflusses während der steigenden Flanke; c) Aus der simulierten Stromverteilung in b) resultierende Potentialverteilung.

Substratschicht aufweist, verringert sich der flächenspezifische Widerstand. Mehr Substratstrom kann abgeleitet werden.

In Abbildung 4b ist weiterhin zu erkennen, dass die in die Epitaxieschicht eingebrachten n-Typ Guard-Ringe aufgrund des nahezu nicht vorhandenen lateralen Stromflusses in der Epitaxieschicht keine Isolationswirkung aufweisen. Da der laterale Stromfluss hauptsächlich in der niederohmigen Substratschicht beobachtet werden kann, müsste der n-Typ Guard-Ring für eine hohe Isolationswirkung über das gesamte Substrat reichen. Tiefere n-Typ Guard-Ringe stehen in den meisten Technologien jedoch nicht zur Verfügung. Abbildung 4c zeigt den resultierenden Spannungsabfall über dem Substrat. Gegenüber der Simulation ohne Ableit- und Isolationsstrukturen konnte dieser um 75 % reduziert werden.

C. Leitende Trenches

Einen noch geringeren flächenspezifischen Widerstand, und somit eine höhere Effektivität pro Fläche und einen geringeren Flächenbedarf, bieten leitende Trenches [2]. Ein bis zum Substrat geätzter Graben wird mit einem hoch leitfähigem Material (z.B. Polysilizium) aufgefüllt und erzeugt somit eine niederohmige Verbindung des Masseknotens zum Substrat. Abbildung 5a zeigt die simulierte Dotierstruktur, bestehend aus der Isolationswanne, der Störsenke, sowie einem mit 56 μm Abstand zum Mittelpunkt der Isolationswanne platzierten leitenden Trench („Trench1“). Die Breite des leitenden Gebietes des Trenches entspricht in etwa der Breite einer der zuvor simulierten p-Typ Guard-Ringe.

Die simulierte Stromverteilung in Abbildung 5b zeigt, dass der Stromfluss über die Störsenke gegenüber der Simulation ohne Ableit- und Isolationsstrukturen

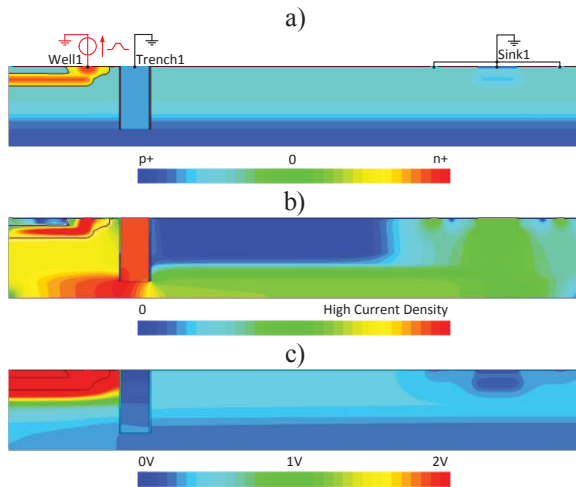


Abbildung 5: a) Dotierstruktur mit leitendem Trench; b) Simulierte Stromverteilung zum Zeitpunkt des größten Stromflusses während der steigenden Flanke; c) Resultierender Potentialverteilung im Substrat.

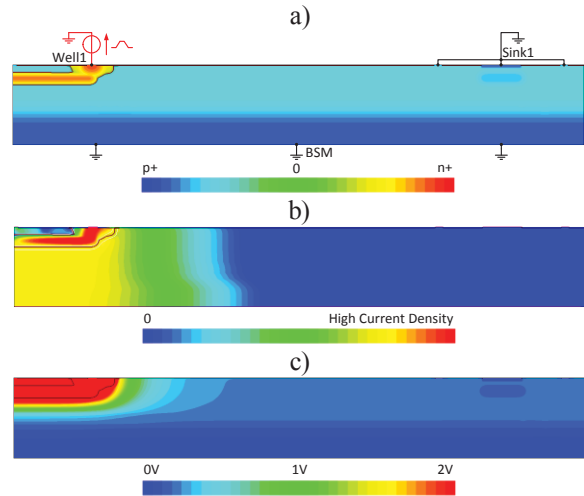


Abbildung 6: a) Dotierstruktur mit Rückseitenmetallisierung; b) Simulierte Stromverteilung zum Zeitpunkt des größten Stromflusses während der steigenden Flanke; c) Resultierender Potentialverteilung im Substrat.

(siehe Abbildung 3a) um 92 % reduziert wird. Aber auch für leitende Trenches gilt, dass die Tiefe des Trenches dessen Effektivität bestimmt. Die höchste Ableitfähigkeit kann nur mit Trenches erreicht werden, die mindestens bis zur niederohmigen Substratschicht reichen. Wie der simulierte Spannungsabfall in Abbildung 5c zeigt, konnte aufgrund des geringen Widerstandes des Trenches der Spannungsabfall im Substrat gegenüber der Simulation ohne Ableit- und Isolationsstrukturen um 88 % reduziert werden.

D. Rückseitenmetallisierung

Bei Verwendung einer Rückseitenmetallisierung (Backside Metallization „BSM“) [1, 3] wird eine metallisch leitende Schicht direkt auf die Substratschicht auf der Rückseite des Wafers aufgetragen und direkt mit Masse verbunden. Die Substratströme müssen so nicht über die hochohmige Epitaxieschicht nach Masse abgeleitet werden. Eine Rückseitenmetallisierung kann unabhängig von der verwendeten Technologie durch zusätzliche Fertigungsschritte realisiert werden, erhöht aber die Fertigungs- und Verpackungskosten eines ICs.

Abbildung 6a zeigt die Dotierstruktur bei aufgetragener Rückseitenmetallisierung und Abbildung 6b die simulierte Stromverteilung. Es ist erkennbar, dass nahezu der gesamte ins Substrat eingekoppelte Strom über den Rückseitenkontakt abgeleitet wird. Lediglich in unmittelbarer Nähe der Wanne kann ein lateraler Stromfluss ausgemacht werden, der mit einer zusätzlichen Ableitstruktur (beispielsweise einem p-Typ Guard-Ring) nahe der Isolationswanne verringert werden könnte. Mittels Rückseitenmetallisierung wird der in die Störsenke einkoppelnde Strom um nahezu 100 % reduziert.

Das Simulationsergebnis in Abbildung 6c zeigt, dass aufgrund der niederohmigen Anbindung des Substrats

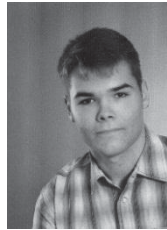
auch ein Spannungshub des Substratpotentials während des Umladens der High-Side Isolierung nahezu vollständig verhindert werden kann.

III. ZUSAMMENFASSUNG

Schnell schaltende High-Side NMOS-Leistungstransistoren verursachen beim Umschalten ein signifikantes Koppeln ins Substrat. Für einen Abwärtsschaltwandler für hohe Umsetzverhältnisse von > 40 V zu < 5 V mit einer Schaltfrequenz von > 10 MHz wurden während des Umladens der High-Side-Isolationswanne am Schaltknoten Störströme bis zu 130 mA und eine Potentialanhebung des Substrats von bis zu 20 V durch Device Simulation ermittelt. Mittels gezielter Beeinflussung der Substratstruktur durch eingebrachte Ableitstrukturen können die Störungen effektiv reduziert werden. Eine kostengünstige Ableitstruktur kann über p-Typ Guard-Ringe realisiert werden, wodurch der in empfindliche Schaltungselemente einkoppelnde Strom um 64 % und der Spannungshub des Substratpotentials um 75 % reduziert werden konnte. Durch die Verwendung von leitenden Trenches wurde eine Reduktion des einkoppelnden Stromes in Höhe von 92 % und eine Reduktion des Spannungsabfalls am Substratwiderstand in Höhe von 88 % erzielt bei halbiertem Flächenbedarf gegenüber p-Typ Guard-Ringen. Als effektivste Lösung stellte sich die Rückseitenmetallisierung heraus, welche sowohl den eingekoppelten Strom, als auch den Spannungshub des Substratpotentials um nahezu 100 % reduziert. Die Simulationen ergaben, dass n-Typ Guard-Ringe oder nichtleitende Trenches, deren Tiefe nicht über das gesamte Substrat reicht, nicht als Isolationsstruktur gegen einen lateralen Stromfluss im Substrat verwendet werden können.

LITERATURVERZEICHNIS

- [1] A. Afzali-Kusha, M. Nagata, N. Verghese, D. Allstot, „Substrate Noise Coupling in SoC Design: Modeling, Avoidance, and Validation“, *Proceedings of the IEEE*, Band 94, Nummer 12, Dez. 2006.
- [2] P. Schroter, S.Jahn, F. Klotz, „Improving the Immunity of Automotive ICs by Controlling RF Substrate Coupling“, 8. *Workshop der Electromagnetic Compatibility of Integrated Circuits* (EMC Compo), Nov. 2011.
- [3] M. Pfost, P. Brenner, T. Huttner, A. Romanyuk, „A Comprehensive Experimental Study on Technology Options for Reduced Substrate Coupling in RF and High-Speed Bipolar Circuits“, *Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting*. Sept. 2003.



Christoph Rindfleisch erhielt den akademischen Grad des Bachelor of Engineering in Elektrotechnik mit dem Profil Automatisierungstechnik im Jahr 2011 von der Dualen Hochschule Baden Württemberg in Mosbach. Das duale Studium fand in Kooperation mit der Bosch Rexroth AG in Lohr am Main statt. Seit 2011 studiert er im Masterstudiengang Leistungs- und Mikroelektronik an der Hochschule Reutlingen.



Jürgen Wittmann erhielt den akademischen Grad des Dipl.-Ing. im Jahr 2006 von der Technischen Universität München. Zwischen 2006 und 2011 arbeitete er in der Mixed-Signal Automotive Abteilung von Texas Instruments in Freising als Analog Designer. Seit Februar 2011 ist er als akademischer Mitarbeiter am Robert Bosch Zentrum für Leistungselektronik der Hochschule in Reutlingen tätig. Er arbeitet zurzeit an seiner Doktorarbeit im Bereich Leistungs- und Mikroelektronik.



Bernhard Wicht erhielt den akademischen Grad Dipl.-Ing. im Jahr 1996 von der Technischen Universität Dresden und den Grad Dr.-Ing. im Jahr 2002 von der Technischen Universität München. 2003-2010 war er im Geschäftsbereich Mixed Signal Automotive bei Texas Instruments, Freising, verantwortlich für die Entwicklung von Smart Power ICs. Seit September 2010 ist er Professor für integrierte Schaltungen am Robert Bosch Zentrum für Leistungselektronik an der Hochschule Reutlingen.