

MPC

MULTI PROJEKT CHIP GRUPPE
BADEN - WÜRTTEMBERG

Herausgeber: Hochschule Ulm Ausgabe: 53 ISSN 1868-9221 Workshop: Esslingen Februar 2015

1 ASICs für medizinische Geräte und Implantate

M. Nawito, H. Richter, C. Scherjon, J. N. Burghartz, IMS Chips Stuttgart

7 Low-Power-SC-Wandler mit hoher variabler Eingangsspannung

D. Lutz, P. Renz, B. Wicht, Robert Bosch Zentrum für Leistungselektronik, Reutlingen

13 Entwicklung und Layoutentwurf eines Analog-Digital-Wandlers mit 12 Bit Auflösung in einer 180 nm-CMOS-Technologie

B. Dusch, M. Bhattacharya, D. Jansen, HS Offenburg

23 Konzeptstudie eines durchgängig auf parametrisierten Modulgeneratoren basierenden Entwurfsflusses für Analogdesign

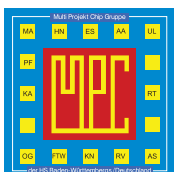
M. Greif, D. Marolt, J. Scheible, Robert Bosch Zentrum für Leistungselektronik, Reutlingen

31 Hardware to Software Migration and Optimization of a Serial Peripheral Interface

M. Freier, A. Wenzler, T. Mayer, Robert Bosch GmbH
K. Schulz, J. Gerlach, HS Albstadt
W. Rosenstiel, Uni Tübingen

39 A Flexible Approach on FPGA-based Digital Sensor Interfacing for Cyber Physical Systems

I. Verdu, K. F. Ackermann, HS Mannheim



Cooperating Organisation
Solid-State Circuit Society Chapter
IEEE German Section

Tagungsband zum Workshop der Multiprojekt-Chip-Gruppe Baden-Württemberg

Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie.

Die Inhalte der einzelnen Beiträge dieses Tagungsbandes liegen in der Verantwortung der jeweiligen Autoren.

Herausgeber:

Gerhard Forster, Hochschule Ulm, Prittwitzstraße 10, D-89075 Ulm

Mitherausgeber (Peer Reviewer):

Jürgen Giehl, Hochschule Mannheim, Paul-Wittsack-Straße 10, D-68163 Mannheim

Frank Kesel, Hochschule Pforzheim, Tiefenbronner Straße 65, D-75175 Pforzheim

Axel Sikora, Hochschule Offenburg, Badstraße 24, D-77652 Offenburg

Alle Rechte vorbehalten

Diesen Workshopband und alle bisherigen Bände finden Sie im Internet unter:

<http://www.mpc.belwue.de>

Low-Power-SC-Wandler mit hoher variabler Eingangsspannung

Daniel Lutz, Peter Renz, Bernhard Wicht

Zusammenfassung—Die Nachfrage nach kompakten Spannungsversorgungen ist in den letzten Jahren stark gestiegen. Vor allem im Bereich der mobilen Geräte wachsen die Anforderungen an die Spannungsversorgung hinsichtlich Bauvolumen und Batterielaufzeit. Für die Vollintegration von DC-DC-Wandlern als „Power Supply on Chip“ ist der SC-Wandler (Switched-Capacitor-Wandler) besonders geeignet. Insbesondere für Low-Power-Anwendungen im Bereich 10 mW kann ein SC-Wandler sehr gut, ohne externe Bauelemente, integriert werden. Während es für niedrige Eingangsspannungen (bis zu 5 V) eine Vielzahl an Topologien und Konzepten gibt, wurden SC-Wandler für höhere Eingangsspannungen (> 8 V) bisher nur wenig untersucht. Dieser Beitrag untersucht die wichtigsten Grundlagen für SC-Wandler mit Schwerpunkt auf hoher und zugleich variabler Eingangsspannung im Bereich 5 - 20 V. Am Beispiel eines Multi-Ratio-Wandlers (Wandler mit mehreren Übersetzungsverhältnissen), dem rekursiven SC-Wandler (RSC-Wandler), werden die Anforderungen eines SC-Wandlers für hohe Eingangsspannungen herausgearbeitet und diskutiert.

Schlüsselwörter—Low-Power, DC-DC-Wandler, SC-Wandler, rekursiver SC-Wandler, großer Eingangsspannungsbereich, variable Eingangsspannung.

I. EINLEITUNG

Der Bedarf an kompakten Spannungsversorgungen ist in den letzten Jahren stark gestiegen. Verbraucher wie z.B. ein Mikrocontroller oder ASIC (Application-specific Integrated Circuit) weisen dabei einen sehr geringen Leistungsverbrauch auf (wenige Milliwatt). Für die Versorgung dieser Low-Power-Schaltungen können verschiedene Energiequellen wie Batterien, Energy-Harvesting-Techniken oder die Netzspannung verwendet werden. Die Bereitstellung der nötigen

Daniel Lutz, daniel.lutz@reutlingen-university.de, Peter Renz, peter.renz@student.reutlingen-university.de und Bernhard Wicht bernhard.wicht@reutlingen-university.de sind Mitglieder der Hochschule Reutlingen, Alteburgstraße 150, 72762 Reutlingen.

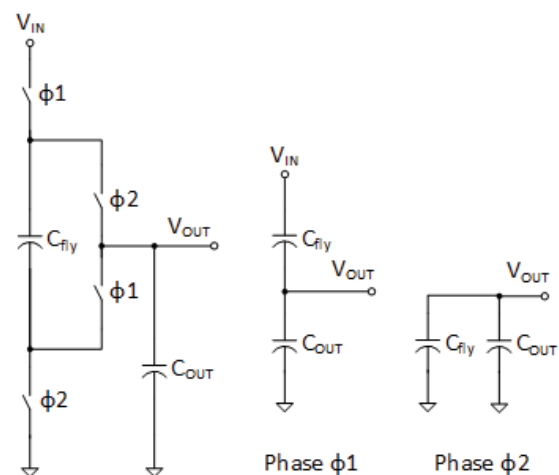


Abbildung 1: 2:1 SC-Serien-Parallel-Wandler.

Energie spielt eine zunehmend wichtig werdende Rolle. Für die Versorgung von integrierten Schaltkreisen (ICs) werden Netzteile benötigt, welche die Versorgungsspannung auf eine der Schaltung angepasste Eingangsspannung reduzieren. Diese sind für Low-Power-Anwendungen oft überdimensioniert. Deshalb wird versucht, die Spannungsversorgung direkt auf dem Chip zu implementieren, um Platz und somit Kosten einzusparen. Dieser Ansatz wird unter dem Begriff „Power Supply on Chip“ (PwrSoC) zusammengefasst. Durch die Vollintegration sind keine externen Bauelemente nötig und es bietet sich die Möglichkeit, Spannungsversorgung und weitere Funktionsblöcke in einem IC zu realisieren.

Für die Vollintegration eignen sich kapazitive SC-Wandler besonders gut. Diese bestehen prinzipiell nur aus Kapazitäten und Schaltern, welche sich beide gut auf dem Chip integrieren lassen. Die Integration von Induktivitäten ist wesentlich schwerer und meist nur mit aufwendigen Prozessoptionen oder durch Postprozesse möglich. Dadurch ist der Einsatz in vollintegrierten DC-DC-Wandlern nur bedingt möglich.

Der kapazitive Wandler besitzt ein diskretes Übersetzungsverhältnis und kein einstellbares Übersetzungsverhältnis wie der induktive Wandler. Dies ist ein Nachteil des kapazitiven Wandlers, der dadurch gelöst werden kann, dass mehrere Topologien in einem

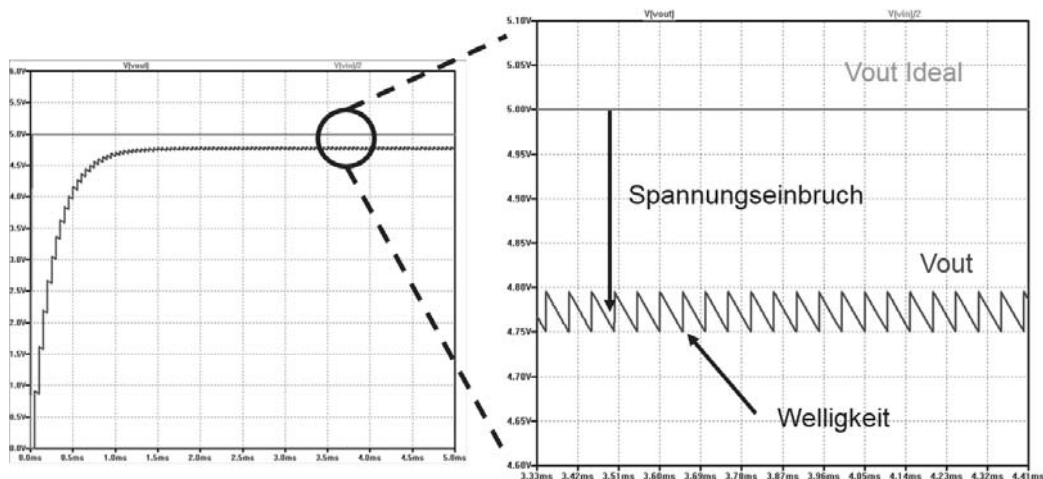


Abbildung 2: Spannungseinbruch und Welligkeit der Ausgangsspannung eines 2:1-Serien-Parallel-Wandlers.

Wandler realisiert werden. Sogenannte Multi-Ratio-Wandler bilden die Voraussetzung dafür, einen großen variablen Eingangsspannungsbereich zu unterstützen. Dieses Thema wird nachfolgend behandelt.

II. GRUNDLAGEN SC-WANDLER

Ein kapazitiver DC-DC-Wandler besteht prinzipiell aus zwei verschiedenen Kapazitätstypen: Fliegende Kapazitäten (Potential an der Kapazität springt) und Pufferkapazitäten (Potential an Kapazität ist fest). Die fliegenden Kapazitäten sind für den Ladungstransport zuständig, während die Pufferkapazitäten für die Stabilisierung und Zwischenspeicherung der Ausgangsspannung verantwortlich sind. Das Übersetzungsverhältnis bei einem SC-Wandler wird durch die Verschaltung der fliegenden Kapazitäten (Topologie) bestimmt. Es gibt verschiedene Grundschaltungen (Topologien) aus denen SC-Wandler aufgebaut sind. Einen Überblick und Vergleich gibt hierbei Referenz [1].

A. Analyse von SC-Wandlern

Das Funktionsprinzip eines SC-Wandlers wird mit Hilfe der Abbildung 1 anhand eines einfachen 2:1-Serien-Parallel-Wandlers erläutert. Die Schalter werden gegenphasig angesteuert und sind in der Abbildung mit ϕ_1 und ϕ_2 gekennzeichnet. In der ersten Hälfte der Taktperiode werden die Schalter ϕ_1 eingeschaltet, während die Schalter ϕ_2 ausgeschaltet sind. In der zweiten Taktperiode leiten die Schalter ϕ_2 , während die Schalter ϕ_1 sperren. Das Tastverhältnis der beiden Phasen beträgt hierbei 50 %. Um das Auftreten von Querströmen zu vermeiden muss eine kurze Totzeit zwischen den Phasen eingehalten werden.

Die Energieübertragung zwischen Eingang und Ausgang erfolgt durch die fliegende Kapazität C_{fly} . In Phase ϕ_1 werden C_{fly} und C_{out} , in Reihe zur Eingangsspannung V_{in} geladen. In Phase ϕ_2 wird C_{fly} parallel zur Ausgangskapazität C_{out} geschaltet. In beiden Phasen wird

Ladung zum Ausgang transportiert. Durch Ladungsausgleich sind im eingeschwungenen Zustand, beide Kapazitäten C_{fly} und C_{out} auf den gleichen Spannungswert geladen. Die Ausgangsspannung V_{out} entspricht im Idealfall und ohne Last exakt der halben Eingangsspannung V_{in} . Dadurch entsteht eine 2:1-Wandlung, unabhängig von der Dimensionierung der Kapazitäten. Im Falle eines Laststromes muss Ladung zwischen dem Eingang und dem Ausgang übertragen werden. Die Kapazitäten des Wandlers werden entladen und müssen wiederum geladen werden. Dies führt zu Lade- und Entladeverlusten sowie zu einem Einbruch und einer Welligkeit der Ausgangsspannung. In Abbildung 2 ist im linken Bild die Ausgangsspannung eines 2:1-SC-Serien-Parallel-Wandlers zu sehen. Die graue Linie zeigt den idealen Verlauf der Ausgangsspannung. Die schwarze Linie zeigt den realen Verlauf der Ausgangsspannung unter Last. Die Ausgangsspannung nimmt stufenweise zu und nähert sich einem Spannungswert unterhalb der idealen Ausgangsspannung an. Die bleibende Differenz zwischen idealer und realer Ausgangsspannung wird als Spannungseinbruch bezeichnet und ist im rechten Teil von Abbildung 2 vergrößert dargestellt. Dieser Spannungseinbruch hängt vom Laststrom am Ausgang, der Topologie und der Dimensionierung des SC-Wandlers ab. Bei der Dimensionierung spielt die Größe der fliegenden Kapazität und die Schaltfrequenz des Wandlers eine Rolle.

Die Ausgangsspannung lässt sich durch das Aufstellen der Ladungsbilanz berechnen, welche auf dem Gesetz der Ladungserhaltung beruht [2]. Diese Analyse-methode ist allerdings für komplexe Wandler sehr aufwendig, weshalb ein neuer Ansatz, die Ladungsflussanalyse verwendet wird, der in [1] hergeleitet und beschrieben wird. Dabei wird nicht die absolute Ladungsmenge betrachtet, sondern die Ladungsänderung an den Komponenten der Schaltung. Für jeden Zustand eines Wandlers können hierbei Vektoren definiert werden, welche die Topologie mithilfe des Ladungsflusses durch die Komponenten beschreibt. Wird diese

auf den in Abbildung 1 gezeigten 2:1-SC Serien-Parallel-Wandler angewendet, ergibt sich mit der Bedingung, dass die Ausgangskapazität C_{out} viel größer ist als die fliegende Kapazität C_{fly} , folgender Ausdruck für die Ausgangsspannung V_{out} :

$$V_{out} = \frac{1}{2} \cdot V_{in} - \frac{1}{4} \cdot \frac{I_{Load}}{f_{sw} \cdot C_{fly}}$$

In die Berechnung gehen die Parameter Ausgangsstrom I_{load} , die Schaltfrequenz f_{sw} und die Größe der fliegenden Kapazität C_{fly} ein. Zusätzlich kommt für den 2:1-SC-Serien-Parallel-Wandler noch der von der Topologie abhängige Faktor $1/4$ dazu. Der Subtrahend in der Gleichung entspricht dem Spannungseinbruch. Die Welligkeit der Ausgangsspannung ist in Abbildung 2 ebenfalls zu sehen. Die Welligkeit lässt sich unter der Bedingung, dass C_{out} viel größer ist als C_{fly} , wie folgt berechnen:

$$\Delta V = \frac{1}{2} \cdot \frac{I_{Load}}{f_{sw} \cdot C_{out}}$$

Die Welligkeit hängt von der Größe des Ausgangsstroms, der Größe der Ausgangskapazität und der Schaltfrequenz ab. Der Faktor $1/2$ ist topologieabhängig. Für den 2:1-SC-Wandler nach Abbildung 1 beträgt dieser Faktor $1/2$, da in beiden Phasen die Ausgangskapazität nachgeladen wird und dadurch die Welligkeit halbiert wird. Da C_{out} gerade bei vollintegrierten SC-Wandlern aus Platzgründen nicht beliebig groß gewählt werden kann, wird oft die Multi-Phase-Interleaving-Methode angewendet [3]. Dabei wird der Wandler mehrfach aufgebaut, der Gesamtkapazitätswert der fliegenden Kapazitäten bleibt jedoch gleich. Durch eine Phasenverschiebung der Taktsignale der einzelnen Wandler wird erreicht, dass auf die Periode verteilt öfters Ladung zum Ausgang transportiert wird. Dies führt oft dazu, dass die Ausgangskapazität stark reduziert oder sogar ganz entfallen kann.

B. SC Modell

Ein SC-Wandler kann durch ein idealisiertes Modell entsprechend Abbildung 3 beschrieben werden. Das Modell besteht aus einem idealen DC-Transformator, welcher das entsprechende ideale Übersetzungsverhältnis $1:n$ realisiert, einem Ausgangswiderstand R_{out} und einem Parallelwiderstand R_p . Im Falle eines Laststroms i_{out} entsteht ein Spannungsabfall am Ausgangswiderstand R_{load} welcher die ideale Ausgangsspannung V_{nl} (nicht belastet, engl. no load) reduziert und Verluste verursacht. Der Ausgangswiderstand R_{out} , welcher die Lade- und Entladeverluste der Kapazitäten sowie die resistiven Leitungsverluste berücksichtigt, kann mit der bereits erwähnten Ladungsflussanalyse aus [1] bestimmt werden. Der Ausgangswiderstand R_{out} ist hierbei frequenzabhängig und kann auch zur Feinregelung der Ausgangsspannung des Wandlers verwendet wer-

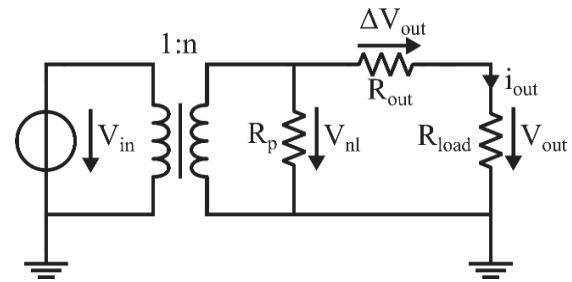


Abbildung 3: SC-Wandler-Modell.

den. Extrinsische Verluste wie beispielsweise die Ansteuerungsverluste der Schalttransistoren und Verluste durch die Regelung werden durch den Parallelwiderstand R_p modelliert.

Der Ausgangswiderstand R_{out} , welcher die maximale Ausgangsleistung begrenzt, setzt sich aus zwei asymptotischen Bereichen, dem Slow-Switching Limit (SSL) und dem Fast-Switching Limit (FSL) zusammen. Die Slow-Switching-Limit-Impedanz R_{SSL} wird unter der Annahme berechnet, dass alle Schalter und leitfähigen Verbindungen ideal und somit vernachlässigbar sind. Die Ströme zwischen den Kapazitäten verlaufen hierbei impulsförmig. Die Bezeichnung Slow-Switching Limit kann man damit erklären, dass die Zeitkonstante des RC-Glieds zwischen Schalter und Kapazität hierbei wesentlich kleiner als die Periodendauer der Schaltfrequenz ist. Die Kapazitäten werden somit vollständig umgeladen. Die SSL-Impedanz ist umgekehrt proportional zu der Schaltfrequenz. Das Fast-Switching-Limit tritt auf, wenn der Widerstand der Schalter und der Verbindungen dominiert. Die Lade- und Entladeverluste der Kapazitäten werden somit vernachlässigt. Die Bezeichnung Fast-Switching Limit lässt sich dadurch erklären, dass die Zeitkonstante zwischen Schalter und Kapazität größer als die Periodendauer der Schaltfrequenz ist und somit die Kapazitäten als feste Spannungsquellen angenommen werden können. Die Kapazitäten werden hierbei nicht vollständig geladen. Die Abbildung 4 zeigt exemplarisch den Verlauf des Ausgangswiderstands R_{out} in Abhängigkeit der Schaltfrequenz f_{sw} . Zudem sind die Asymptoten der SSL- und der FSL Impedanz eingezeichnet. Die SSL-Impedanz R_{SSL} nimmt mit steigender Frequenz ab. Das lässt sich dadurch begründen, dass mit steigender Schaltfrequenz f_{sw} der Spannungshub an den Kapazitäten kleiner und somit die Lade- und Entladeverluste geringer sind. Die FSL Impedanz ist frequenzunabhängig und zeigt einen konstanten Verlauf. Der Ausgangswiderstand R_{out} bildet sich bei kleinen Schaltfrequenzen maßgeblich durch R_{SSL} und bei hohen Frequenzen durch R_{FSL} und kann prinzipiell durch folgende Gleichung angenähert werden [4].

$$R_{out} = \sqrt{R_{SSL}^2 + R_{FSL}^2}$$

Tabelle 1: Überblick über implementierte SC-Wandler.

Referenz	V_{in} [V]	V_{out} [V]	Übersetzungsverhältnisse	Wirkungsgrad (max.)
[9]	1,2	0,3-1,1	5	70 %
[5]	2,5	0,1-2,18	15	85 %
[11]	2	0,5-1,2	3	79 %
[12]	2,4	1	1	69 %
[10]	1,8	0,9-1,65	5	89 %
[6]	2,8-8	1,2	4	77 %

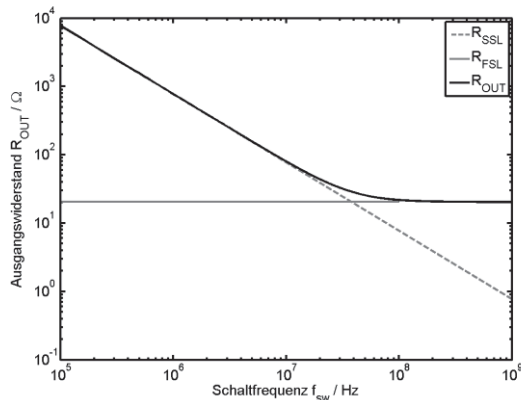


Abbildung 4: Ausgangswiderstand R_{out} eines SC-Wandlers mit der FSL- und SSL Asymptoten.

Die Gleichung stellt eine Näherung dar, da in der Herleitung der beiden Widerstände R_{SSL} und R_{FSL} entsprechend gegensätzliche Annahmen angenommen werden. In [4] wird gezeigt dass die Abweichung gering und somit vernachlässigbar ist.

III. IMPLEMENTIERUNG VON SC-WANDLERN

A. Anforderungen

Eine der Hauptanforderungen an SC-Wandler ist der Flächenbedarf auf dem Chip, der stets minimal zu wählen ist. Dies hat zur Folge, dass SC-Wandler je nach Anforderung entworfen werden. Die Anforderungen an den SC-Wandler bestimmen, welche Topologie zu wählen ist oder ob mehrere Topologien gewählt werden müssen. Die Dimensionierung wird maßgeblich von den Ausgangsparametern bestimmt. In dieser Arbeit wird ein SC-Wandler benötigt, welcher einen großen Eingangsspannungsbereich am effizientesten auf eine konstante Ausgangsspannung wandelt.

B. Stand der Technik

Aufgrund des großen Eingangsspannungsbereichs ist eine hohe Anzahl an Wandlungsverhältnissen notwendig, um einen Betrieb mit hohem Wirkungsgrad zu gewährleisten. Das Erhöhen der Anzahl an Wandlungs-

verhältnissen ist mit zwei Herausforderungen verbunden: Kapazitätsnutzung und Flächenverbrauch. Besonders bei einem vollintegrierten SC-Wandler ist es wichtig, dass die Kapazitäten voll genutzt werden. Die Komplexität der Topologien (Anzahl Schalter und Kapazitäten) steigt jedoch mit zunehmender Anzahl an Übersetzungsverhältnissen stark an. Volle Ausnutzung der Kapazitäten bei gleichzeitig optimaler Skalierung ist dabei sehr wichtig. Diese Faktoren begrenzen die Anzahl an Übersetzungsverhältnissen. Die Anzahl kann deshalb nicht beliebig hoch gewählt werden.

Einen Überblick über aktuell implementierte SC-Wandler gibt Tabelle 1. Es fällt auf, dass die SC-Wandler nur sehr kleine Eingangsspannungen und Spannungsbereiche aufweisen. Das liegt zum Teil daran, dass aktuell viele Wandler für batteriebetriebene Anwendungen entwickelt werden. Ein weiterer Grund sind zusätzliche Herausforderungen, die bei der effizienten Wandlung hoher Eingangsspannungen zu lösen sind. Aus der Tabelle 1 treten zwei Architekturen hervor, der rekursive SC-Wandler (RSC-Wandler) [5] und der Folding Dickson SC-Wandler [6]. Referenz [5] realisiert dabei eine sehr große Anzahl an Übersetzungsverhältnissen, während [6] höhere Spannungen und einen relativ großen Eingangsspannungsbereich abdeckt. Diese beiden Ansätze sind für die hier geforderte Anwendung prinzipiell geeignet. Der Folding Dickson SC-Wandler [6] ist jedoch im Übersetzungsverhältnis begrenzt. Der RSC-Wandler [5] bietet durch seinen modularen Aufbau den vielversprechendsten Ansatz für hohe Eingangsspannungen und zugleich einen großen Eingangsspannungsbereich.

C. Aufbau des RSC-Wandlers

Im Folgenden wird der Aufbau des RSC-Wandlers am Beispiel eines 2-Bit RSC-Wandlers beschrieben. In Abbildung 5 sind die damit möglichen Konfigurationsmöglichkeiten dargestellt. Ein 2-Bit-RSC-Wandler bietet die drei abgebildeten Übersetzungsmöglichkeiten. Der modulare Aufbau mit 2:1-Zellen kann beliebig erweitert werden, wodurch weitere Übersetzungsverhältnisse möglich sind. Eine 2:1-Zelle besteht aus dem in Abbildung 1 dargestellten Serien-Parallel-Wandler. Eine mögliche Realisierung des 2-Bit-RSC-Wandlers kann wie in Abbildung 6 aussehen. Dieser besteht aus

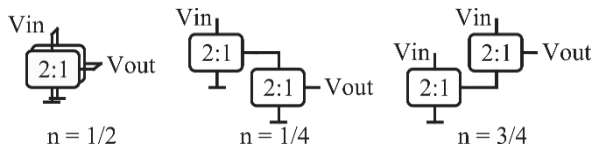


Abbildung 5: Konfigurationsmöglichkeiten eines 2-Bit-RSC-Wandlers.

zwei Grundzellen (nach Abbildung 1) und den zusätzlichen Schaltern S15, S22 und S23, welche zur Umschaltung des Übersetzungsverhältnisses benötigt werden.

D. Design-Herausforderungen für hohe Spannungen

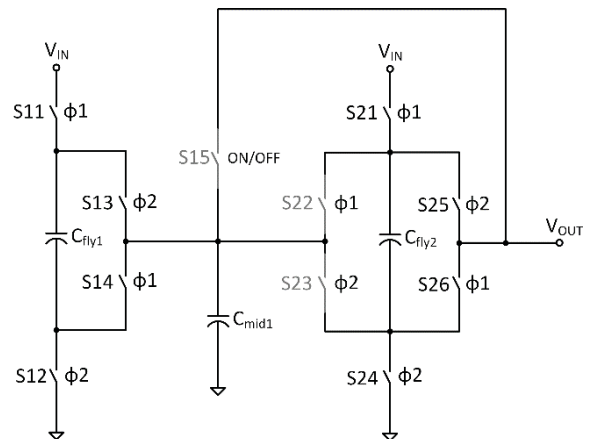
Bei hohen Eingangsspannungen ($> 5\text{ V}$) ergeben sich besondere Herausforderungen, die bei kleinen Spannungen in dieser Art nicht entstehen. Im Folgenden werden die wesentlichen Unterschiede dargestellt. Die Aufzählung erhebt nicht den Anspruch auf Vollständigkeit.

- Hochvolt-Transistoren: Durch die relativ hohen Spannungen müssen Hochvolt-Transistoren verwendet werden. Die Ansteuerverluste für Hochvolt-Transistoren sind wegen der größeren Gatekapazität deutlich größer als bei Niedervolt-Transistoren.
- Levelshifter: Für die Ansteuerung der Transistoren auf fliegendem Potential wird der Einsatz von Levelshiftern notwendig.
- Ladungspumpe: Für jeden Hochvolt-Transistor wird auch eine Ladungspumpe für den Gate-Overdrive (Einschaltspannung) benötigt. Die dadurch entstehenden zusätzlichen Verluste in Levelshiftern und Ladungspumpe wirken sich negativ auf den Wirkungsgrad aus.
- Fliegende Kapazitäten: Durch die erhöhten Spannungshübe entstehen an den parasitären Kapazitäten Umladeverluste, welche mit der Spannung quadratisch skalieren.
- Isolationswannen: Durch Potentialänderungen an den Isolationswannen entstehen Umladeverluste.
- Bodydioden: Durch unterschiedliche Konfiguration der einzelnen Zellen entstehen Potentialsprünge an den Source- und Drainanschlüssen der Schalttransistoren, die in ungünstigen Fällen dafür sorgen, dass eine Back-to-Back-Schalteranordnung nötig wird. Dadurch kann verhindert werden, dass über die Bodydioden unerwünschte Querströme fließen können.

Die beschriebenen Herausforderungen und Effekte führen durch zusätzliche Verluste zu einer Reduzierung des Wirkungsgrades.

IV. FAZIT

SC-Wandler eignen sich durch ihre gute Integrierbarkeit sehr gut für vollintegrierte DC-DC-Wandler. Die Ausgangsspannung eines SC-Wandlers wird durch die



Verhältnis	S15	S21	S22	S23	S24
1/2	ON	$\phi 1$	OFF	OFF	$\phi 2$
1/4	OFF	OFF	$\phi 1$	OFF	$\phi 2$
3/4	OFF	ON	OFF	$\phi 2$	OFF

Abbildung 6: 2-Bit-RSC-Wandler mit Konfigurationsschalter.

Parametergrößen Spannungseinbruch und Welligkeit der Ausgangsspannung charakterisiert. Diese Parameter können durch die Dimensionierung des SC-Wandlers entsprechend der Anwendung angepasst werden. Für eine effiziente Wandlung mit hohen Eingangsspannungen und einem weiten Eingangsspannungsbereich müssen SC-Wandler mit mehreren Übersetzungsverhältnissen aufgebaut werden. Für hohe Eingangsspannungen ($> 5\text{ V}$) ergeben sich weitere Herausforderungen für den Schaltungsentwurf. Bedingt durch die hohen Spannungen müssen Hochvolt-Transistoren verwendet werden, welche zur Ansteuerung sowohl Levelshifter als auch Ladungspumpen benötigen. Die im Wandler auftretenden hohen Spannungshübe bewirken höhere Verluste in den parasitären Elementen und wirken sich negativ auf den Wirkungsgrad aus. Der vorgestellte RSC-Wandler eignet sich besonders gut für vollintegrierte DC-DC-Wandler mit hoher variabler Eingangsspannung.

DANKSAGUNG

Diese Arbeit ist gefördert vom Bundesministerium für Bildung und Forschung unter dem Förderkennzeichen IN2013-425-203.

LITERATURVERZEICHNIS

- [1] M. Seeman and S. Sanders, "Analysis and Optimization of Switched-Capacitor DC," *IEEE Transactions on Power Electronics*, p. 23, March 2008.
- [2] Y. Tsvividis, "Principles of operation and analysis of switched-capacitor circuits," *Proceedings of the IEEE*, p. 71, Aug 1983.
- [3] T. Van Breussegem and M. Steyaert, "Multi-Phase Interleaving," *CMOS Integrated Capacitive DC-DC Converters*, New York, Springer Science+Business Media, 2013, pp. 104-122.

- [4] M. Seeman, "A Design Methodology for Switched-Capacitor DC-DC-Converters," *University of California at Berkeley, USA, Diss.*, 2009.
- [5] L. Salem and P. Mercier, "A Recursive Switched-Capacitor DC-DC-Converter Achieving 2 N – 1 Ratios With High Efficiency Over a Wide Output Voltage Range," *IEEE Journal of Solid-State Circuits*, 49, 2014.
- [6] A. Sarafianos and M. Steyaert, "The folding dickson converter: A step towards fully integrated wide input range capacitive DC-DC-converters," in *European Solid-State Circuits Conference (ESSCIRC)*, 2014.
- [7] K. Philips, "Ultra Low Power Short Range Radios - Covering the last mile of the IoT," in *European Solid-State Circuits Conference (ESSCIRC)*, 2014.
- [8] L. G. Salem and P. P. Mercier, "An 85%-Efficiency Fully Integrated 15-Ratio Recursive Switched-Capacitor DC-DC-Converter with 0.1-to-2.2V Output Voltage Range," *International Solid-State Circuits Conference (ISSCC)*, 2014.
- [9] Y. Ramadass and A. Chandrakasan, "Voltage Scalable Switched Capacitor DC-DC-Converters," *Power Electronics Specialists Conference*, 2007.
- [10] L. Su and D. Ma, " Monolithic reconfigurable SC power converter with adaptive gain control and on-chip capacitor sizing," *Energy Conversion Congress and Exposition (ECCE)*, 2010.
- [11] H.-P. Le, S. Sanders and E. Alon, "Design Techniques for Fully Integrated Switched-Capacitor DC-DC-Converters," in *IEEE Journal of Solid-State Circuits*, 46 , 2011.
- [12] H. Meyvaert, T. van Breussegem and M. Steyaert, "A 1.65 W Fully Integrated 90 nm Bulk CMOS Intrinsic Charge Recycling Capacitive DC-DC-Converter: Design & Techniques for High Power Density," *Energy Conversion Congress and Exposition*, 2011.



Daniel Lutz erhielt den akademischen Grad des Bachelor of Engineering in Mechatronik/Elektrotechnik im Jahr 2011 von der Hochschule Esslingen und den Grad des M.Sc. in Leistungs- und Mikroelektronik im Jahr 2013 von der Hochschule Reutlingen. Er ist Akademischer Mitarbeiter am Robert Bosch Zentrum für Leistungselektronik an der Hochschule Reutlingen.



Peter Renz erhielt den akademischen Grad des Bachelor of Engineering in Mechatronik im Jahr 2013 von der Hochschule Reutlingen. Seit 2013 studiert er im Masterstudiengang Leistungs- und Mikroelektronik am Robert Bosch Zentrum für Leistungselektronik an der Hochschule Reutlingen.



Bernhard Wicht erhielt den akademischen Grad Dipl.-Ing. im Jahr 1996 von der Technischen Universität Dresden und den Grad Dr.-Ing. im Jahr 2002 von der Technischen Universität München. 2003-2010 war er im Geschäftsbereich Mixed Signal Automotive bei Texas Instruments, Freising, verantwortlich für die Entwicklung von Smart Power ICs. Seit September 2010 ist er Professor für integrierte Schaltungen am Robert Bosch Zentrum für Leistungselektronik an der Hochschule Reutlingen.